

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6497649号
(P6497649)

(45) 発行日 平成31年4月10日 (2019.4.10)

(24) 登録日 平成31年3月22日 (2019.3.22)

(51) Int.Cl.		F I			
H05K	3/46	(2006.01)	H05K	3/46	Q
H05K	1/16	(2006.01)	H05K	3/46	Z
H01P	3/08	(2006.01)	H05K	3/46	B
H01P	1/00	(2006.01)	H05K	1/16	A
			H01P	3/08	

請求項の数 7 (全 13 頁) 最終頁に続く

(21) 出願番号	特願2015-17995 (P2015-17995)	(73) 特許権者	504147243
(22) 出願日	平成27年1月30日 (2015.1.30)		国立大学法人 岡山大学
(65) 公開番号	特開2016-143749 (P2016-143749A)		岡山県岡山市北区津島中一丁目1番1号
(43) 公開日	平成28年8月8日 (2016.8.8)	(73) 特許権者	000006633
審査請求日	平成29年10月3日 (2017.10.3)		京セラ株式会社
			京都府京都市伏見区竹田鳥羽殿町6番地
		(73) 特許権者	000134257
			株式会社トーキン
			宮城県仙台市太白区郡山6丁目7番1号
		(74) 代理人	100104318
			弁理士 深井 敏和
		(72) 発明者	豊田 啓孝
			岡山県岡山市北区津島中一丁目1番1号
			国立大学法人岡山大学内

最終頁に続く

(54) 【発明の名称】 印刷配線板およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

デジタル回路とアナログ回路の間の絶縁層上に電源供給路を配置した印刷配線板において、デジタル回路とアナログ回路の境界の電源供給路に一次元または二次元に周期的にEBG単位セルを配置し、隣接EBG単位セルの細線電極との間で交差指状電極を形成し、EBG単位セルは他層に接続されるビアがなく、直流電流供給用のブリッジ部を保持していることを特徴とする印刷配線板。

【請求項 2】

前記EBG単位セルは、デジタル回路の周囲にEBG単位セルを周期的に配置することを特徴とする請求項1に記載の印刷配線板。

【請求項 3】

前記EBG単位セルは、アナログ回路の周囲にEBG単位セルを周期的に配置することを特徴とする請求項1に記載の印刷配線板。

【請求項 4】

前記EBG単位セルの形状は、正方形、長方形、三角形および正六角形のいずれかであることを特徴とする請求項1～3のいずれかに記載の印刷配線板。

【請求項 5】

磁性体膜を印刷配線板の全面、または、EBG単位セル上に部分的に、あるいは、EBG単位セル上を避けて形成したことを特徴とする請求項1～4のいずれかに記載の印刷配線板。

【請求項 6】

前記磁性体膜は厚さが $0.2 \sim 20 \mu\text{m}$ であることを特徴とする請求項 5 に記載の印刷配線板。

【請求項 7】

デジタル回路とアナログ回路の間の絶縁層上に電源供給路を配置し、

デジタル回路とアナログ回路の境界の電源供給路に一次元または二次元に周期的に、他層に接続されるビアがなく、直流電流供給用のブリッジ部を保持した E B G 単位セルを配置し、隣接 E B G 単位セルの細線電極との間で交差指状電極を形成し、

E B G 単位セル上に磁性体膜を形成することを特徴とする印刷配線板の製造方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、電磁バンドギャップ (E B G) 構造を有する印刷配線板に関する。

【背景技術】

【0002】

近年、導体パッチ等を周期的に配列させることで、材料の周波数分散を人工的に制御する構造が提案されている。このうち、電磁バンドギャップ (Electromagnetic Band Gap、以下「 E B G 」) 構造は、印刷配線板やデバイスパッケージ基板の特定の周波数帯において、電磁波の伝搬を抑制する特性を持っており、この特性を用いてノイズの抑制や干渉対策などに適用されている。

20

前記 E B G 構造としては、例えばマッシュルーム状の導体を有するマッシュルーム E B G 構造や、ビアを用いないピアレス E B G 構造などが提案されている。

【0003】

従来の多層の印刷配線板では、電源層と G N D (グラウンド) 層にはベタパターンを用いて低インピーダンスで安定した電圧、電流を供給するように設計している。

しかしながら、同じ電源にデジタル回路とアナログ回路が接続されている場合、従来のベタパターンでは、直流 (D C) 的な接続だけでなく、高周波成分についても伝送しやすいため、デジタル回路で発生した高周波ノイズがアナログ回路に伝達することで問題が生じる。具体的には、電源層と G N D 層の形状に応じた共振周波数で定在波が生じ特定の周波数で見かけ上传送特性が良くなるため、 I C 等で発生する高周波ノイズの周波数と一致すると、アナログ回路の動作に大きな影響を及ぼすという問題があった。

30

【0004】

このようなノイズを抑制するため、特許文献 1 ~ 3 には、下記のような提案がされてきた。

【0005】

特許文献 1 では、上記した印刷配線板の電源層にスリットを入れる構造にして、ビア等の複雑な構造を必要とせず、電源層のみで E B G 構造を形成している。

【0006】

特許文献 2 では、 G N D 層にビアで接続されたオープンスタブ構造の渦巻状配線を接続する E B G 構造が提案されている。この構造の場合、電源層と G N D 層間にビアを介してオープンスタブの入力インピーダンスが接続された構造となる。ノイズ阻止の周波数は、電源層と G N D 層間のインピーダンスが 0 となるオープンスタブの共振周波数付近となるため、共振周波数を決定するスタブの長さによって阻止域の周波数を制御できる。さらに、渦巻状配線にすることでスタブの占有面積を小さくできる為、小型化に適している。

40

【0007】

特許文献 3 では、電源をパッチ状に分割し、その一部にオープンスタブを接続した構造として、電源層のみで E B G を構成し、小型化を実現する構造にしている。

【0008】

非特許文献 1 では、ミアンダ配線付きの E B G パターンによるノイズ対策が提案されている。隣接 E B G 単位セル内のパッチ間をミアンダ配線で接続する構造とすれば、インダ

50

クタンスを増加させることができ、小型化を実現できる。

【0009】

しかしながら、特許文献1では、ベタパターンにスリットを入れることで、スリットによって高周波成分を伝達し難くする効果が期待できるが、完全にスリットで分離してしまうと直流給電ができなくなる。電源層の一部が接続している構造にすると、無線通信などで使われる2.5GHz帯域のノイズ阻止では、16.5mm×16.5mm程度の大きさのEBG単位セルが必要となり、ノートPC等の携帯可能な大きさの製品へ適用することは困難であった。

【0010】

特許文献2では、オープンスタブを形成するための層を追加する必要がある。また、オープンスタブ部分の配線とGND層との接続にはビアが必要となる為に、印刷配線板製造工程にて専用のビアを用意する為の工数が増加してコストアップの要因となる問題があった。

10

【0011】

特許文献3では、周期的に配置されたパッチ部にオープンスタブを形成することで、特定の周波数帯において電磁波伝播を抑制する阻止帯域を有する電磁バンドギャップ構造を提案している。この手法ではスタブの電気長に依存して阻止域を得るため、阻止域を低周波に設定するにはスタブ長を長くしなければならない問題があった。スタブを渦巻状配線などにする事で占有面積を小さくし小型化が図れるが、パッチ部が残っていることで小型化が十分でなかったり、パッチ間をつなぐブランチを細くして小型化を図ると直流給電が困難になったりする問題があった。

20

【0012】

非特許文献1では、EBG単位セル間の接続をミアンダ配線とすることで、インダクタンス成分を大きくしてEBG単位セルの小型化を実現した。ただし、2.5GHz帯のノイズ対策には、実施例から7mm×7mm程度の大きさのEBG単位セルが必要である。ただし、許容電流値がミアンダ配線部分の太さによって決まるため、大きな電流を供給する場合には、ミアンダ配線を太くする必要があり、EBG単位セルの小型化の妨げとなる。

【先行技術文献】

【特許文献】

30

【0013】

【特許文献1】特開2008-131509号公報

【特許文献2】特開2010-199881号公報

【特許文献3】特開2013-183082号公報

【非特許文献】

【0014】

【非特許文献1】岡山大学 豊田啓孝 2014年3月5日、第28回エレクトロニクス実装学会春季講演大会 講演論文集「フェライト膜付プレーナEBG構造の実用化のための検討」

【発明の概要】

【発明が解決しようとする課題】

40

【0015】

本発明の課題は、デジタル回路とアナログ回路の混載回路において、デジタル回路で発生する高周波ノイズが、アナログ回路に混入することを防ぐことができるEBG構造およびその小型化とEBG構造を有する電源層を備えた印刷配線板およびその製造方法を提供することである。

【課題を解決するための手段】

【0016】

本発明者らは、上記課題を解決するべく検討を行った結果、以下の構成からなる解決手段を見出し、本発明を完成するに至った。

(1) デジタル回路とアナログ回路の間の絶縁層上に電源供給路を配置した印刷配線板に

50

において、デジタル回路とアナログ回路の境界に一次元または二次元に周期的に E B G 単位セルを配置し、交差指状電極を形成することを特徴とする印刷配線板。

(2) 前記 E B G 単位セルは、ビアがないことを特徴とする(1)に記載の印刷配線板。

(3) 前記 E B G 単位セルは、直流電流供給用のブリッジ部を保持していることを特徴とする(1)または(2)に記載の印刷配線板。

(4) 前記 E B G 単位セルは、デジタル回路の周囲に E B G 単位セルを周期的に配置することを特徴とする(1)~(3)のいずれかに記載の印刷配線板。

(5) 前記 E B G 単位セルは、アナログ回路の周囲に E B G 単位セルを周期的に配置することを特徴とする(1)~(3)のいずれかに記載の印刷配線板。

(6) 前記 E B G 単位セルの形状は、正方形、長方形、三角形および正六角形のいずれかであることを特徴とする(1)~(5)のいずれかに記載の印刷配線板。

(7) 磁性体膜を印刷配線板上の全面、または、E B G 単位セル上に部分的に、あるいは、E B G 単位セル上を避けて形成したことを特徴とする(1)~(6)のいずれかに記載の印刷配線板。

(8) 前記磁性体膜は厚さが $0.2 \sim 20 \mu\text{m}$ であることを特徴とする(7)に記載の印刷配線板。

(9) デジタル回路とアナログ回路の間の絶縁層上に電源供給路を配置し、デジタル回路とアナログ回路の境界に一次元または二次元に周期的に E B G 単位セルを配置し、交差指状電極を形成し、E B G 単位セル上に磁性体膜を形成することを特徴とする印刷配線板の製造方法。

【発明の効果】

【0017】

本発明の印刷配線板は、隣接 E B G 単位セル間に交差指状電極を形成したことで E B G 単位セルを小型化し、その E B G 単位セルを一次元または二次元に周期的に配置したことでデジタル回路において発生する高周波ノイズを反射または吸収し、アナログ回路への混入を防ぐことができるという効果がある。

更に、磁性体膜を形成することで、高周波ノイズの混入をより確実に阻止できる。

【図面の簡単な説明】

【0018】

【図1】(a)は本発明に係る印刷配線板の一実施形態を示しており、デジタル回路とアナログ回路間に、二次元 I D E - E B G 単位セルを二次元配置した説明図である。(b)は(a)の部分拡大図である。

【図2】(a)は図1の二次元 I D E - E B G 単位セルを横に4個、縦に3個配置した説明図である。(b)は(a)の部分拡大図であるが、隣接 E B G 単位セルは表記していない。

【図3】(a)は本発明における I D E - E B G 単位セルの原理説明のための等価回路図である。(b)は従来の隣接 E B G 単位セル間のキャパシタンスの説明図である。(c)は隣接 E B G 単位セル間に交差指状電極を形成した場合のキャパシタンスの説明図である。

【図4】隣接 E B G 単位セル間に交差指状電極を形成した二次元 I D E - E B G 単位セルを無限に配置した場合を想定して電磁界シミュレーションにより得られた分散関係のグラフである。

【図5】(a)は本発明に係る印刷配線板の他の実施形態を示しており、デジタル回路とアナログ回路間に、一次元 I D E - E B G 単位セルを二次元配置した説明図である。(b)は(a)の部分拡大図である。

【図6】隣接 E B G 単位セル間に交差指状電極を形成した一次元 I D E - E B G 単位セルを無限に配置した場合を想定して電磁界シミュレーションにより得られた分散関係のグラフである。

【図7】(a)~(f)は、本発明に係る印刷配線板の製造方法を示す断面図である。

【発明を実施するための形態】

10

20

30

40

50

【0019】

本発明の一実施形態に係る印刷配線板において、図1(a)に示すように、デジタル回路2とアナログ回路3との境界の電源層1上に、IDE-EBG4を配置する。

【0020】

印刷配線板上に形成したIDE-EBG4は、図1(b)に示した二次元IDE-EBG単位セル41を周期的に二次元配置した構成とする。

【0021】

二次元IDE-EBG単位セル41は、ブリッジ部42と細線電極43から構成され四方の隣接EBG単位セルの細線電極44との間で交差指状電極を構成する。

【0022】

図1(a)において、スイッチングノイズ(高周波ノイズ)の伝播経路が図中の矢印Aで示される場合に、デジタル回路2のスイッチングノイズ(高周波ノイズ)がIDE-EBG4で阻止され、アナログ回路3への混入を防ぐ。

【0023】

ブリッジ部42は直流給電用の配線であり、配線幅を変えることで給電電流を調整することが可能である。

【0024】

図2(a)は、二次元IDE-EBG単位セル41が、横に4個、縦に3個配置された構造を示している。二次元IDE-EBG単位セルのより詳細は、図2(b)に示すように、交差指状電極を形成する隣接EBG単位セルの細線電極44を含まない二次元IDE-EBG単位セル411である。二次元IDE-EBG単位セル41は、このように印刷配線板上に二次元配置して、隣接する別の二次元IDE-EBG単位セル41の境界で交差指状電極を構成することで、隣接したEBG単位セル間で形成される交差指状電極のキャパシタンス(図3(a)の C_2)を増加させることができ、従来型のプレーナEBG構造の印刷配線板と比べて小型化が可能となる。

【0025】

【数1】

$$f = \frac{1}{2\pi\sqrt{L(C_1+C_2)}}$$

【0026】

上記の数式1は、阻止域の低域側周波数 f を示す式である。

図3(a)に示すように、従来型のプレーナEBG構造のEBG単位セルは、EBG単位セル内のブランチを渦巻形状やミアンダ形状にするなどして細長くすることで、図3(a)のインダクタンス L を増加させ、小型化によって減少した図3(a)に示すキャパシタンス C_1 を補償することで、上記の数式1の阻止域の低域側周波数 f を所望の周波数に維持するものである。本発明は隣接EBG単位セル間に交差指状電極を形成しEBG単位セルの電源層とGND層間のキャパシタンス C_1 に比べて、図3(a)のキャパシタンス C_2 を、十分大きくすることで、EBG単位セルサイズに関わらず、前記阻止域の低域側周波数 f を所望の周波数に設定し、小型化を実現することができる。

【0027】

図3(b)に示すように、EBG単位セルが交差指状電極を含まない、渦巻配線またはミアンダ配線の場合の隣接EBG単位セル間のキャパシタンス C_2 に比べ、図3(c)に

10

20

30

40

50

示す交差指状電極の隣接 E B G 単位セル間のキャパシタンス C_2 は、E B G 単位セルの細線電極と隣接 E B G 単位セルの細線電極間のキャパシタンス C_1 が複数追加される交差指状構造とすることで、その値を C_1 に比べて極めて大きくすることができ、 C_1 に無関係に阻止域の低域側周波数 f を設定することが可能となる。

【 0 0 2 8 】

交差指状電極を形成した I D E - E B G 単位セル 4 1 を二次元配置した I D E - E B G 4 の形状は、必ずしも正方形や長方形でなくても良く、どのような形でも構わない。

阻止域の周波数は I D E - E B G 単位セル 4 1 によって決まるが形状には依存しないため、正方形や長方形でなくても良く、三角形や正六角形でも同様の抑制効果を得ることができる。

10

【 0 0 2 9 】

印刷配線板における、二次元 I D E - E B G 単位セル 4 1 の配置方法としては、例えば、アナログブロック（アナログ回路 3）の周囲に配置して、アナログブロックの動作を妨げるスイッチングノイズ（高周波ノイズ）が外部から入り込まない構造や、デジタルブロック（デジタル回路 2）の周囲に配置して、電磁干渉を引き起こす原因となる高周波のデジタルノイズが流出しない構造などがあげられる。

【 0 0 3 0 】

I D E - E B G 単位セル 4 1 の分散関係のシミュレーション結果を図 4 に示す。シミュレーションに用いた I D E - E B G 単位セルサイズは、図 1（b）に示す二次元 I D E - E B G 単位セル 4 1 の一辺がそれぞれ 5 . 0 mm であり、ブリッジ部 4 2 の幅が 0 . 2 5 mm、細線電極 4 3 の幅が 0 . 1 mm、細線電極 4 3 と隣接二次元 I D E - E B G 単位セルの細線電極 4 4 との幅が 0 . 1 mm で構成されたものである。

20

図 4 に示す分散関係のグラフから 2 . 5 GHz から 3 . 8 GHz の範囲が阻止域となることが分かる。印刷配線板において、図 1（a）に示すように、デジタル回路 2 とアナログ回路 3 との境界の電源層 1 上に、I D E - E B G 4 を配置した事例では、2 . 5 GHz から 3 . 8 GHz の帯域でデジタル回路 2 からアナログ回路 3 へのスイッチングノイズ（高周波ノイズ）の阻止が可能である。

【 0 0 3 1 】

< 他の実施形態 >

本発明に係る印刷配線板の他の実施形態を、図 5 および図 6 に基づいて説明する。

30

図 5（a）に示すのは、隣接 E B G 単位セルの細線電極との間で構成される交差指状電極を含む一次元 I D E - E B G 単位セル 1 2 1 をデジタル回路とアナログ回路の間に二次元配置した別の I D E - E B G 1 2 の実施形態における印刷配線板である。

【 0 0 3 2 】

図 5（b）に示すのは、隣接 E B G 単位セル間に交差指状電極を形成した一次元 I D E - E B G 単位セルで、ブリッジ部 1 2 2 は隣接 E B G 単位セルをつなぐように配線し、細線電極 1 2 3 はこれに平行に配線された一次元 I D E - E B G 単位セル 1 2 1 である。

【 0 0 3 3 】

図 5（b）に示すブリッジ部 1 2 2 は直流給電用の配線であり、配線幅を変えることで給電電流量を調整することが可能である。細線電極 1 2 3 は隣接一次元 I D E - E B G 単位セルの細線電極 1 2 4 により交差指状電極を形成し、隣接した E B G 単位セル間で形成される交差指状電極のキャパシタンス（図 3（a）の静電容量 C_2 ）を増加させることが可能である。

40

【 0 0 3 4 】

図 6 に示すのは、図 5（a）の I D E - E B G 1 2 の分散関係のシミュレーション結果である。シミュレーションに用いた I D E - E B G 単位セルサイズは、図 5（b）に示す一次元 I D E - E B G 単位セル 1 2 1 の一辺がそれぞれ 5 . 0 mm であり、ブリッジ部 1 2 2 の幅が 0 . 2 5 mm、細線電極 1 2 3 の幅が 0 . 1 mm で構成されたものである。

図 5（a）に示したデジタル回路 1 0 とアナログ回路 1 1 との境界の電源層 1 3 上に、I D E - E B G 1 2 を配置した場合の阻止域は、図 6 に示す分散関係のグラフから 1 . 4

50

GHzから2.2GHzの範囲と読み取れ、この帯域でIDE-EBG12によるノイズ阻止効果によりデジタル回路10からアナログ回路11へのスイッチングノイズ(高周波ノイズ)の伝播抑制が可能である。

【0035】

<磁性体との組み合わせ構造>

本発明による印刷配線板において、塗布や成膜等の手段により磁性体を配置することで、磁性体の誘電率、透磁率を利用した効果がある。波長短縮効果による小型化、阻止域におけるノイズ阻止量の向上、阻止域の広帯域化に貢献する。

【0036】

磁性体配置方法としては、印刷配線板の少なくとも一部に配置されていればよく、例えば、(a)交差指状電極と同じ形状で、部分的に磁性体を配置する。(b)交差指状電極をさけて磁性体を配置する。(c)印刷配線板全面に磁性体を配置するなどがある。

【0037】

磁性体の組成は1種、膜厚1種であるのが良い。

【0038】

本実施形態に用いる磁性体としては、高い複素透磁率成分を有することが好ましい。これは、高い複素透磁率成分を有するほど、阻止域を広帯域化するために必要な磁性体の体積が少なく済むからである。また、本実施の形態による磁性体としては、高い表面抵抗率(好ましくは $10^2 / \text{sq}$ 以上)を有することが好ましい。これは、高い表面抵抗率を有する磁性体ほど、磁性体周辺の電気回路定数を変化させるなどの不具合を少なくすることができるからである。

【0039】

本実施形態による磁性体は、塗布や成膜等の手段により交差指状電極に接触するように配置しても良いし、例えば粘着層等を介して交差指状電極の近傍に配置させても良い。本実施形態による磁性体の例としては、例えばフェライト薄膜等の軟磁性を有する薄膜、例えば金属やフェライト等の軟磁性を有する粉末を樹脂等の媒体に分散させてなる磁性ペースト、フェライト焼結体等が挙げられるが、フェライトめっき薄膜が最も好ましい。

【0040】

フェライトめっき薄膜は、組成 MFe_2O_4 からなるスピネルフェライト材料を基体上に成膜する方法である。ここで、Mは金属元素であり、例えばNi、Zn、Co、Mn、Feなどが用いられる。フェライトめっき法では、基体表面に、 Ni^{2+} 、 Zn^{2+} 、 Co^{2+} 、 Mn^{2+} 、 Fe^{2+} イオンなどを含む水溶液を接触させることで金属イオンを吸着した後、 Fe^{2+} イオンを酸化剤等により酸化させ($Fe^{2+} \rightarrow Fe^{3+}$)、さらに水溶液中の水酸化金属イオンとフェライト結晶化反応させることにより、基体表面上にフェライト膜を形成するものである。フェライトめっきは水溶液プロセスを用いた無電解めっきであり、樹脂フィルムや印刷配線板等に直接成膜することができ、熱処理しなくても比較的高い表面抵抗率と優れた磁気特性を併せ持つ膜が得られるという特長がある。フェライトめっき薄膜は、バルクのフェライトや磁性粉末と樹脂の複合体に比べて高周波数帯域でも高い透磁率を保つ。また、組成を変えることにより、透磁率の周波数特性を容易に変えることができる。フェライト膜の組成としては、定在波が生じる周波数に合わせて選択されるが、例えば、 $Ni_{0.0 \sim 0.4}Zn_{0.0 \sim 0.5}Co_{0.0 \sim 0.4}Mn_{0.0 \sim 0.4}Fe_{2.0 \sim 2.8}O_4$ の組成(ただし、金属元素Ni、Zn、Co、Mnのうち少なくとも1つは0ではない)で優れた高周波透磁率特性と高い表面抵抗率が得られる。フェライト膜の膜厚はその値が大きいほど阻止域を広帯域化する効果が高いが、阻止域を広帯域化する効果を発揮し、かつフェライト膜と本体部との密着性を強く保つためには、フェライト膜厚は $0.2 \sim 20 \mu\text{m}$ の範囲が好ましい。

【0041】

次に、磁性体を塗布した印刷配線板の製造方法を説明する。この製造方法は、下記の工程(i)~(vi)を含む。

(i)絶縁板の一方の面に電源層、他方の面に導体層を形成してコア基板を得る工程。

(i i) コア基板の表面の電源層に構成した E B G 構造の領域全体に磁性体を塗布する工程。

(i i i) 電源層を貫通するスルーホール形成部分の磁性体に、クリアランスを形成する工程。

(i v) コア基板の表面に絶縁樹脂層を積層し、さらに絶縁樹脂層にコア基板を積層する工程。

(v) コア基板部分と絶縁樹脂層部分とをレーザ加工またはドリル加工して、貫通したスルーホール下孔を形成する工程。

(v i) スルーホール下孔内壁面の表面をめっき層で被覆する工程。

【 0 0 4 2 】

本発明に係る印刷配線板の製造方法を図 7 (a) ~ (f) に基づいて説明する。

図 7 (a) に示すコア基板 1 8 は、絶縁板 1 4 の一方の面に電源層 1 5、他方の面に配線パターン 1 6 を形成するものである。

【 0 0 4 3 】

絶縁板 1 4 は、絶縁性を有する素材で形成されていれば特に限定されない。このような絶縁性を有する素材としては、例えば、エポキシ樹脂、ビスマレイミド - トリアジン樹脂、ポリイミド樹脂、ポリフェニレンエーテル (P P E) 樹脂などの有機樹脂が挙げられる。これらの有機樹脂は 2 種以上を混合して用いてもよい。絶縁板 1 4 として有機樹脂を使用する場合、有機樹脂に補強材を配合して使用するのが好ましい。補強材としては、例えば、ガラス繊維、ガラス不織布、アラミド不織布、アラミド繊維、ポリエステル繊維などが挙げられる。これらの補強材は 2 種以上を併用してもよい。絶縁板 1 4 は、好ましくはガラス繊維などのガラス材入り有機樹脂から形成される。さらに、絶縁板 1 4 には、シリカ、硫酸バリウム、タルク、クレー、ガラス、炭酸カルシウム、酸化チタンなどの無機充填材が含まれていてもよい。絶縁板 1 4 の厚みは特に限定せず、好ましくは 0 . 0 2 ~ 1 0 m m の厚みを有する。

【 0 0 4 4 】

電源層 1 5 に E B G 構造を構成し、電源層と G N D 層間に磁性体を入れることで、磁気損失を増加させる。また、貫通スルーホールが必要となる場合にはスルーホール形成部分の磁性体は削除または非形成とする。

【 0 0 4 5 】

前記配線パターン 1 6 は、感光性レジスト (例えば、ドライフィルムのエッチングレジスト) をロールラミネートで貼り付け、露光および現像して回路パターン以外の部分を露出させる。露出部分の銅をエッチングにより除去する。エッチング液としては、例えば塩化第二鉄水溶液などが挙げられる。ドライフィルムのエッチングレジストを剥離して、配線パターン 1 6 が形成される。このようにして、絶縁板 1 4 の表面に配線パターン 1 6 が形成されたコア基板 1 8 が得られる。

【 0 0 4 6 】

次に、図 7 (b) に示すように、後述するスルーホールのために電源層 1 5 の E B G 構造 (I D E - E B G 単位セル) の領域の一部を除去して磁性体膜 1 7 を塗布する。なお、磁性体膜 1 7 は、前述したフェライトめっき薄膜であるのが好ましく、その膜厚は 0 . 2 ~ 2 0 μ m であるのが好ましい。

【 0 0 4 7 】

次に、図 7 (c) に示すように、銅めっき液やデスマア処理液に磁性体膜 1 7 が溶出しないように、電源層を貫通するスルーホール形成部分の磁性体 1 7 にクリアランス 1 9 を形成する。

【 0 0 4 8 】

次に、図 7 (d) に示すように、前記磁性体 1 7 上に絶縁樹脂層 2 0 を積層し、さらに、コア基板 1 8 と同様の構成を持つコア基板 1 8 ' を配線パターン 1 6 ' が外部になるよう積層する。

前記絶縁樹脂層 2 0 の形成方法は、コア基板 1 8 と 1 8 ' の間にプリプレグを挟み込み

10

20

30

40

50

、積層プレスで熱圧着し溶融・硬化させて形成する。

【0049】

次に、図7(e)に示すように、上部の配線パターン16'から絶縁樹脂層20を經由して下部の配線パターン16までを貫通するスルーホール下孔21をドリルあるいはレーザー等で形成する。このスルーホール下孔21は上部の配線パターン16'からコア基板18を經由して下部の配線パターン16を電氣的に接続し、コア基板18、18'の電源層15、15'にも電氣的に接続するスルーホール23を形成するためである。

スルーホール下孔21を形成すると、その壁面等に薄い樹脂膜が残存する場合がある。この場合、デスマリア処理が行われる。デスマリア処理は、強アルカリによって樹脂を膨潤させ、次いで酸化剤(例えば、クロム酸、過マンガン酸塩水溶液など)を用いて樹脂を分解除去する。あるいは、研磨材によるウェットブラスト処理やプラズマ処理によって、樹脂膜を除去してもよい。

10

【0050】

次に、図7(f)に示すように、スルーホール下孔21の壁面にめっき22が施されてスルーホール23が形成される。めっき22は無電解銅めっきあるいは電解銅めっきのどちらかが好ましい。特にめっき22の厚付けを行うには電解銅めっきが好ましく、例えば1~30 μm 程度の厚みを有する銅めっきが形成される。

【0051】

最後に、コア基板18、18'の表面の所定の位置にソルダーレジスト(図示せず)を形成してもよい。ソルダーレジストの形成方法は、まず、スプレーコート、ロールコート、カーテンコート、スクリーン法などを用い、感光性液状ソルダーレジストを10~80 μm 程度の厚みで塗布して乾燥する、あるいは感光性ドライフィルム・ソルダーレジストをロールラミネートで貼り付ける。その後、露光および現像してパッド部分などを開口させて加熱硬化させる。外形加工を施し、本発明の印刷配線板が得られる。

20

通常が多層印刷配線板の例で説明したが、多層印刷配線板に限定するものではなく、ビルドアップ多層印刷配線板などでも可能である。

【0052】

以上述べたように、電源層の一部にIDE-EBG構造を入れることで、従来の電源層が役割としている直流電流をICへ供給することができ、且つ、IDE-EBG部分に高周波成分の電流が流れるとIDE-EBGの形状で決定される周波数での共振により高周波ノイズを反射させ、ノイズ伝播を抑制することができる。

30

特にデジタル回路とアナログ回路の混載基板において電源層を共有した場合、IDE-EBGが配置されたブリッジ部を介してアナログ回路に電源供給を行うと、デジタル回路で発生した高周波ノイズは伝搬せずに、必要な直流電流のみの供給が可能になる。

また、デジタル回路ブロックが複数あっても、ノイズが入らないようにしたいアナログ回路を囲むようにIDE-EBG構造を配置することでノイズ対策が可能になる。

また、隣接したEBG単位セルとの間で形成する交差指状電極の形状によって、阻止域の低域側周波数が決まる。

さらに、ノイズを抑制したい周波数に応じてIDE-EBG単位セルを複数並べること

40

で、阻止量を大きくしたりすることが可能になる。また、阻止域は交差指状電極の形状で個別設定できる為、阻止域の異なったIDE-EBG単位セルを複数併用することで、複数の阻止域を持ったIDE-EBGを配置することができる。たとえば、無線通信機器などにおいて、複数の通信周波数が利用されている印刷配線板において、複数の周波数に対して一括したノイズ対策が可能である。

【符号の説明】

【0053】

- 1 電源層
- 2 デジタル回路
- 3 アナログ回路

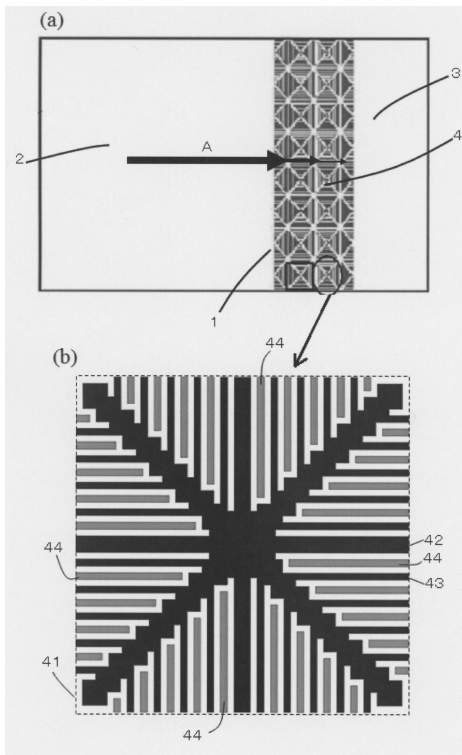
50

- 4 IDE - E B G
- 4 1 二次元 IDE - E B G 単位セル
- 4 1 1 二次元 IDE - E B G 単位セル
- 4 2 ブリッジ部
- 4 3 細線電極
- 4 4 隣接二次元 IDE - E B G 単位セルの細線電極
- 1 0 デジタル回路
- 1 1 アナログ回路
- 1 2 IDE - E B G
- 1 3 電源層
- 1 2 1 一次元 IDE - E B G 単位セル
- 1 2 2 ブリッジ部
- 1 2 3 細線電極
- 1 2 4 隣接一次元 IDE - E B G 単位セルの細線電極
- 1 4、1 4' 絶縁板
- 1 5、1 5' 電源層
- 1 6、1 6' 配線パターン
- 1 7 磁性体膜
- 1 8、1 8' コア基板
- 1 9 クリアランス
- 2 0 絶縁樹脂層
- 2 1 スルーホール下孔
- 2 2 めっき
- 2 3 スルーホール

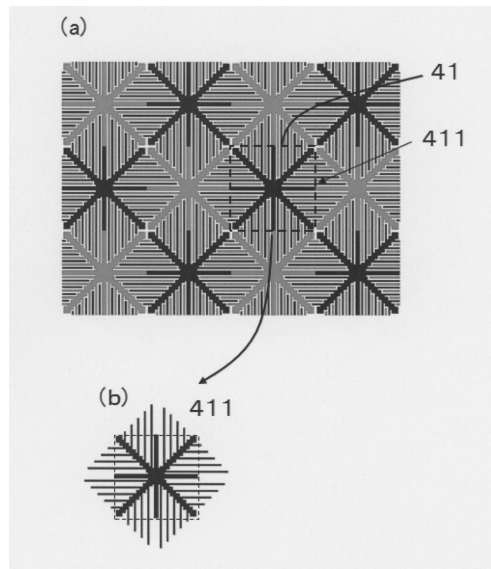
10

20

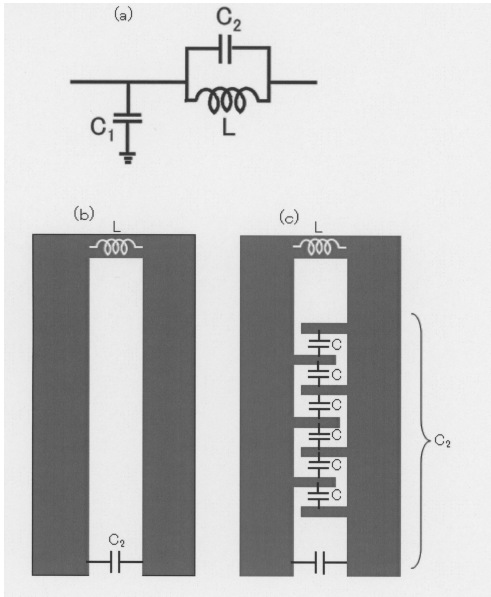
【図 1】



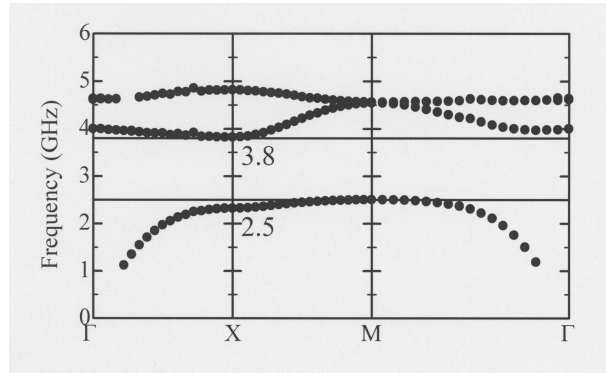
【図 2】



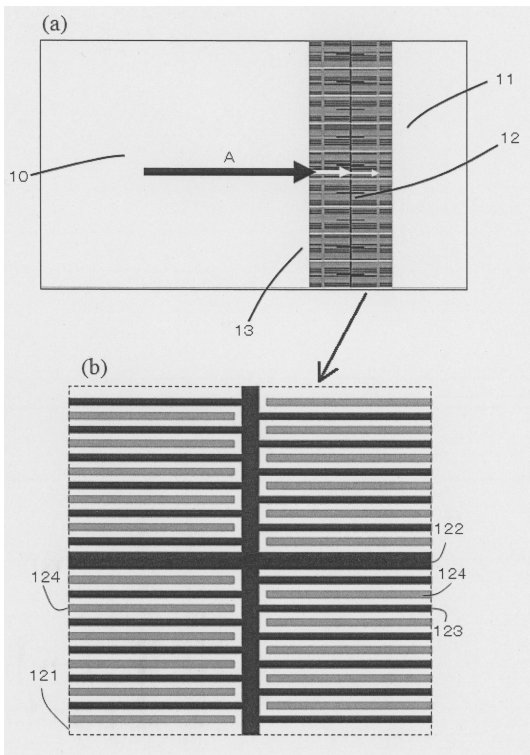
【 図 3 】



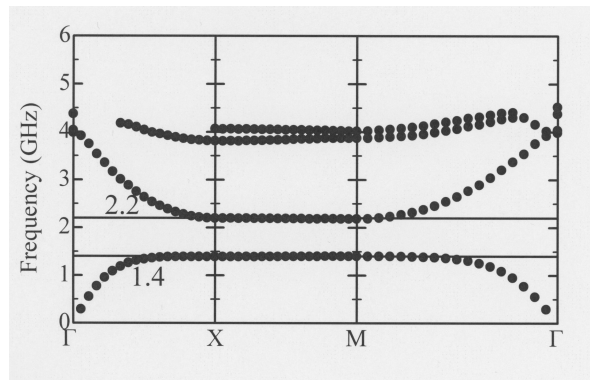
【 図 4 】



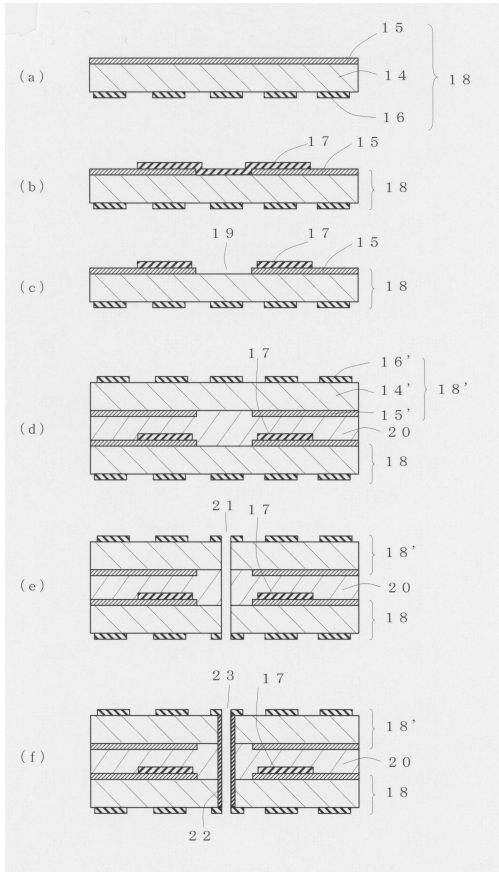
【 図 5 】



【 図 6 】



【図7】



フロントページの続き

(51)Int.Cl. F I
H 0 1 P 1/00 Z

- (72)発明者 五百旗頭 健吾
岡山県岡山市北区津島中一丁目1番1号 国立大学法人岡山大学内
- (72)発明者 山下 祐輝
岡山県岡山市北区津島中一丁目1番1号 国立大学法人岡山大学内
- (72)発明者 内藤 政則
東京都品川区東品川三丁目3番4号 京セラサーキットソリューションズ株式会社東京事業所内
- (72)発明者 金子 俊之
東京都品川区東品川三丁目3番4号 京セラサーキットソリューションズ株式会社東京事業所内
- (72)発明者 海谷 清彦
東京都品川区東品川三丁目3番4号 京セラサーキットソリューションズ株式会社東京事業所内
- (72)発明者 上原 利久
東京都品川区東品川三丁目3番4号 京セラサーキットソリューションズ株式会社東京事業所内
- (72)発明者 近藤 幸一
宮城県仙台市太白区郡山六丁目7番1号 NECトーキン株式会社内

審査官 ゆずりは 広行

- (56)参考文献 特開2013-232613(JP,A)
国際公開第2009/082003(WO,A1)
国際公開第2008/062562(WO,A1)
特開2011-249862(JP,A)
Y. Fu, Compact high-impedance surfaces incorporated with interdigital structure, ELECTRONICS LETTERS, 2004年 3月 4日, Vol. 40, No. 5

(58)調査した分野(Int.Cl., DB名)

H 0 5 K 1 / 1 6
H 0 5 K 3 / 4 6
H 0 1 P 1 / 0 0
H 0 1 P 3 / 0 8