

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6894602号
(P6894602)

(45) 発行日 令和3年6月30日(2021.6.30)

(24) 登録日 令和3年6月8日(2021.6.8)

(51) Int. Cl.		F I			
H05K 3/46	(2006.01)	H05K 3/46		Z	
H05K 1/02	(2006.01)	H05K 1/02		N	

請求項の数 7 (全 13 頁)

(21) 出願番号	特願2015-39026 (P2015-39026)	(73) 特許権者	504147243 国立大学法人 岡山大学
(22) 出願日	平成27年2月27日 (2015. 2. 27)		岡山県岡山市北区津島中一丁目1番1号
(65) 公開番号	特開2016-111314 (P2016-111314A)	(73) 特許権者	000006633 京セラ株式会社
(43) 公開日	平成28年6月20日 (2016. 6. 20)		京都府京都市伏見区竹田鳥羽殿町6番地
審査請求日	平成29年10月3日 (2017. 10. 3)	(73) 特許権者	000134257 株式会社トーキン
審判番号	不服2019-5581 (P2019-5581/J1)		宮城県仙台市太白区郡山6丁目7番1号
審判請求日	平成31年4月25日 (2019. 4. 25)	(74) 代理人	100104318 弁理士 深井 敏和
(31) 優先権主張番号	特願2014-242125 (P2014-242125)	(72) 発明者	豊田 啓孝 岡山県岡山市北区津島中一丁目1番1号 国立大学法人岡山大学内
(32) 優先日	平成26年11月28日 (2014. 11. 28)		
(33) 優先権主張国・地域又は機関	日本国 (JP)		

最終頁に続く

(54) 【発明の名称】 印刷配線板およびその製造方法

(57) 【特許請求の範囲】

【請求項 1】

デジタル回路とアナログ回路との間に電源プレーンを配置した印刷配線板において、前記電源プレーンは、その一部に、前記デジタル回路から前記アナログ回路へ向かう方向に単列で並ぶオープンスタブ E B G 構造を有し、前記オープンスタブ E B G 構造は、開放部を中心とした渦巻状、スパイラル状またはミアンダ状の形状が複数形成されたパターンからなることを特徴とする印刷配線板。

【請求項 2】

前記デジタル回路より前記アナログ回路が相対的に小さく、前記デジタル回路とアナログ回路との間に、スリットを形成することで絶縁した請求項 1 に記載の印刷配線板。

【請求項 3】

外部電源に接続されるコネクタ部と、このコネクタ部と前記デジタル回路または前記アナログ回路とを電氣的に接続する電源回路とを有し、前記コネクタ部の周辺に前記オープンスタブ E B G 構造を配置した請求項 1 または 2 に記載の印刷配線板。

【請求項 4】

前記電源回路と前記デジタル回路との間に、前記オープンスタブ E B G 構造を配置した請求項 3 に記載の印刷配線板。

【請求項 5】

カットオフ周波数に応じて、長さの異なるオープンスタブ E B G 構造を配置した請求項 1 ~ 4 のいずれかに記載の印刷配線板。

10

20

【請求項 6】

前記オープンスタブ E B G 構造上に、磁性体膜を形成した請求項 1 ~ 5 のいずれかに記載の印刷配線板。

【請求項 7】

前記磁性体膜は厚さが $0.2 \sim 20 \mu\text{m}$ である請求項 6 に記載の印刷配線板。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電磁バンドギャップ (E B G) 構造を有する印刷配線板およびその製造方法 10
に関する。

【背景技術】

【0002】

近年、導体パッチ等を周期的に配列させることで、電磁波の周波数分散を人工的に制御する構造が提案されている。このうち、電磁バンドギャップ (Electromagnetic Band Gap、以下「 E B G 」) 構造は、印刷配線板やデバイスパッケージ基板の特定の周波数帯において、電磁波の伝搬を抑制する特性を持っており、この特性を用いてノイズの抑制や干渉対策などに適用されている。

前記 E B G 構造としては、例えばマッシュルーム状の導体を有するマッシュルーム E B G 構造や、ビアを用いないビアレス E B G 構造などが提案されている。 20

【0003】

従来の多層の印刷配線板では、電源層と G N D (グラウンド) 層にはベタパターンを用いて低インピーダンスで安定した電圧、電流を供給するように設計している。

しかしながら、同じ電源にデジタル回路とアナログ回路が接続されている場合、従来のベタパターンでは、 D C (直流) 的な接続だけでなく、高周波成分についても伝送しやすいため、デジタル回路で発生した高周波成分のノイズがアナログ回路に伝達するという問題がある。具体的には、電源層と G N D 層の形状に応じた共振周波数で定在波が生じ特定の周波数で伝送特性が良くなるため、 I C 等で発生する高周波ノイズの周波数と一致すると、アナログ回路の動作に大きな影響を及ぼすという問題があった。

【0004】

このようなノイズを抑制するため、特許文献 1 ~ 3 には、下記のような提案がされてきた。 30

【0005】

特許文献 1 では、上記した印刷配線板の電源層にスリットを入れる構造にして、ビア等の複雑な構造を必要とせず、電源層のみで E B G 構造を形成している。

【0006】

特許文献 2 では、 G N D プレーンにビアで接続されたオープンスタブ構造の渦巻状配線を接続する E B G 構造が提案されている。この構造の場合、ビアを介してスタブ配線に接続する構造となるため、オープンスタブの入力インピーダンスが 0 となる共振周波数で阻止周波数が決定でき、このスタブの長さによって共振周波数を制御でき、渦巻状配線にす 40
ることによって占有面積を小さくできるため、小型化に適しているとされる。

【0007】

特許文献 3 では、電源をパッチ状に分割し、その一部にオープンスタブを取り込んだ構造として、電源層のみで E B G を構成することで小型化しやすい構造にしている。

【0008】

非特許文献 1 では、ミアンダー配線付きの E B G パターンによるノイズ対策が提案されている。パッチ (セル) 間をミアンダー配線で接続する構造とすれば、インダクタンスを増加させることができるため、小型化を狙った E B G 構造となっている。

【0009】

しかしながら、特許文献 1 では、ベタにスリットを入れることで、スリットによって高 50

周波成分を伝達し難くする効果が期待できるが、完全にスリットで分離してしまうと電源が供給できなくなるので、一部で電源が接続されている構造にしなければならない。また、無線通信などで使われる2.5GHz帯域のノイズを阻止しようとする、16.5mm×16.5mm程度の大きさの単位セルが必要となり、ノートPC等の携帯可能な大きさの製品へ適用することが困難であった。

【0010】

特許文献2では、オープンスタブEBG構造を形成するための層を追加する必要がある。また、オープンスタブ部分の配線とGNDプレーンとの接続にはビアが必要となる為に、印刷配線板製造工程にて専用のビアを用意する為の工数が増加してコストアップの要因となる問題があった。

10

【0011】

特許文献3では、セル間の接続を配線で行う為、必要な電流を供給する為には、配線部分を太くする必要がある。カットオフ周波数帯域を広げるために、特許文献3の実施例の図3のようにセルを増やすと電流の経路が複雑となり、消費電流の計算ができない問題があった。

【0012】

非特許文献1では、セル間の接続をミアンダー配線とすることで、インダクタンス成分を大きくして単位セルの小型化が期待できた。ただし、2.5GHz帯のノイズ対策には、実施例から7mm×7mm程度の大きさのセルが必要となる。ただし、許容電流値がミアンダー配線部分の太さによって決まるため、大きな電流を供給する場合には、ミアンダー配線を太くする必要があり、単位セルの小型化の妨げとなる。

20

【先行技術文献】

【特許文献】

【0013】

【特許文献1】特開2008-131509号公報

【特許文献2】特開2010-199881号公報

【特許文献3】特開2013-183082号公報

【非特許文献】

【0014】

【非特許文献1】岡山大学 豊田啓孝他 2014年3月5日、第28回エレクトロニクス実装学会春季講演大会 講演論文集「フェライト膜付プレーナEBG構造の実用化のための検討」

30

【発明の概要】

【発明が解決しようとする課題】

【0015】

本発明の課題は、デジタル回路とアナログ回路の混載回路において、デジタル回路その他で発生する高周波ノイズのアナログ回路への混入、および、流出により外部装置で生じる電磁干渉を防ぐことができるEBG構造の小型化およびこれを有する電源層を備えた印刷配線板およびその製造方法を提供することである。

【課題を解決するための手段】

40

【0016】

本発明者らは、上記課題を解決するべく鋭意検討を行った結果、以下の構成からなる解決手段を見出し、本発明を完成するに至った。

(1) デジタル回路とアナログ回路の間の絶縁層上に電源供給路を配置した印刷配線板において、一方を電源供給路に接続し、他方を開放状態のオープンスタブとし、このオープンスタブ状態のオープンスタブEBG構造を電源プレーンのブリッジ部の端に複数配置したことを特徴とする印刷配線板。

(2) 前記デジタル回路よりアナログ回路が相対的に小さく、アナログ回路と電源供給路、および前記オープンスタブEBG構造と周辺の回路との間に、それぞれスリットを形成することで絶縁した(1)に記載の印刷配線板。

50

(3) 前記アナログ回路の周囲の絶縁層上に、アナログ回路を囲むように前記オープンスタブ E B G 構造を複数配置した(1)または(2)に記載の印刷配線板。

(4) 前記電源供給路に隣接した絶縁層上に、複数のオープンスタブ E B G 構造を配置した(1)または(2)に記載の印刷配線板。

(5) 外部電源に接続されるコネクタ部と、このコネクタ部と前記デジタル回路またはアナログ回路とを電氣的に接続する電源回路と、を有し、コネクタ部の周囲の絶縁層上に前記オープンスタブ E B G 構造を配置した(1)~(4)のいずれかに記載の印刷配線板。

(6) 前記電源回路とデジタル回路間の絶縁層上に、前記オープンスタブ E B G 構造を配置した(5)に記載の印刷配線板。

(7) カットオフ周波数に応じて、長さの異なるオープンスタブ E B G 構造を配置した(1)~(6)のいずれかに記載の印刷配線板。 10

(8) 前記オープンスタブ E B G 構造領域に、磁性体膜を形成した(1)~(7)のいずれかに記載の印刷配線板。

(9) 前記磁性体膜は厚さが $0.2 \sim 20 \mu\text{m}$ である(8)に記載の印刷配線板。

(10) 前記オープンスタブ E B G 構造は、渦巻状に形成され、開放状態の他方を渦巻状の中心又はその近傍に配置した(1)~(9)のいずれかに記載の印刷配線板。

(11) デジタル回路とアナログ回路の間の絶縁層上に電源供給路を配置し、一方を前記電源供給路に接続し、他方を開放状態としたオープンスタブを電源プレーンのブリッジ部の端に配置し、このオープンスタブ E B G 構造上に磁性体膜を形成することを特徴とする印刷配線板の製造方法。 20

【発明の効果】

【0017】

本発明の印刷配線板は、電源プレーンの一部にオープンスタブ E B G 構造を入れることで、従来の電源プレーン部分で必要な直流電流を IC へ供給することができ、且つ、オープンスタブ E B G 構造のスタブの長さによって共振する周波数が決まり、この共振周波数と一致する電流成分は、スタブの入力インピーダンスが 0 となるために、高周波ノイズ電流をカットすることができるという効果がある。

【図面の簡単な説明】

【0018】

【図1】本発明に係る印刷配線板の一実施形態を示す、オープンスタブ E B G 構造部分の拡大図を含む説明図である。 30

【図2】(a)~(d)は、本発明に係る印刷配線板におけるオープンスタブ E B G 構造の配置方法の一例を示す電源層の上面図である。

【図3】オープンスタブ E B G 構造をそれぞれ3個、10個接続した場合と、接続しなかった場合の伝送損失を解析した結果を示すグラフである。

【図4】 18.7 mm または 9.35 mm のオープンスタブ E B G 構造を接続した場合と、接続しなかった場合の伝送損失を解析した結果を示すグラフである。

【図5】(a)~(c)は、本発明に係る印刷配線板におけるオープンスタブ E B G 構造の配置方法の他の例を示す上面図である。

【図6】(a)~(c)は、本発明に係る印刷配線板におけるオープンスタブ E B G 構造の配置方法の他の例を示す上面図である。 40

【図7】(a)~(f)は、本発明に係る印刷配線板の製造方法を示す断面図である。

【発明を実施するための形態】

【0019】

印刷配線板において、デジタル電源ブロックとアナログ電源ブロックを接続する部分の電源プレーン幅は、図1に示すように、幅 A がデジタル電源ブロックとアナログ電源ブロックとを接続する部分となり、この幅 A は IC (半導体集積回路)が必要とする電流値を満たすだけの幅で、 $2 \sim 6 \text{ mm}$ 、好ましくは $3 \sim 4 \text{ mm}$ であるのがよい。また、ブリッジ部 1 は1つでも複数あってもよい。

【0020】

印刷配線板の電源ベタパターン（電源供給経路）上に形成したオープンスタブ E B G 構造 4 の形状は図 1 の部分拡大図に示すように、開放部を中心に渦巻状に形成し占有面積をなるべく小さくするのがよい。この渦巻状とは、曲線でも直線でも折り曲げてもよく、折り曲げる場合は折り曲げ位置、回数は任意であり、折り曲げ角度も直角に限定するものではなく、円弧状の曲げや面取り形状でもかまわないし、ミアンダ状やスパイラル状の形状をとってもかまわない。

【 0 0 2 1 】

< オープンスタブの配置方法 >

図 2 (a) ~ (d) は、それぞれ印刷配線板におけるオープンスタブ E B G 構造の配置方法の一例を示している。

図 2 (a) ~ (d) は、オープンスタブ E B G 構造 4 をアナログ回路 3 の周囲に配置して、高周波ノイズがアナログ回路へ入り込まない構造としている。

なお、図に示す矢印は、高周波ノイズ電流の向きを示す。

【 0 0 2 2 】

図 2 (a) は、電源回路 2 3 内に外部電源接続ケーブル 2 1 と接続されたコネクタ部 2 2 が設置され、デジタル回路 2 とアナログ回路 3 との間に、オープンスタブ E B G 構造 4 を配置したものである。このように、アナログ回路 3 に別の回路が接続する位置にオープンスタブ E B G 構造 4 を配置すれば、デジタル回路 2、電源回路 2 3、もしくは、外部電源で発生した高周波ノイズがアナログ回路 3 へ入り込まなくなる。

【 0 0 2 3 】

図 2 (b) は、電源回路 2 3 内にコネクタ部 2 2 が設置され、この電源回路 2 3 とアナログ回路 3 との間、およびアナログ回路 3 とデジタル回路 2 との間にオープンスタブ E B G 構造 4 を配置している。このようにアナログ回路 3 に別の回路が接続する位置にオープンスタブ E B G 構造 4 を配置すれば、デジタル回路 2、電源回路 2 3、もしくは、外部電源で発生した高周波ノイズがアナログ回路 3 へ入り込まなくなる。

【 0 0 2 4 】

図 2 (c) は、電源回路 2 3 内にコネクタ部 2 2 を配置し、アナログ回路 3 との間にオープンスタブ E B G 構造 4 を配置し、デジタル回路 2、電源回路 2 3、もしくは、外部電源で発生した高周波ノイズが電源回路 2 3 を経由して、アナログ回路 3 に入り込まないようにしたものである。

【 0 0 2 5 】

図 2 (d) は、電源回路 2 3 内にコネクタ部 2 2 を設置し、デジタル回路 2 と、このデジタル回路 2 内に設置されたアナログ回路 3 との間にオープンスタブ E B G 構造 4 を配置したものである。これにより、デジタル回路 2、電源回路 2 3、もしくは、外部電源で発生した高周波ノイズがアナログ回路 3 に入り込まなくなる。また、デジタル回路 2 とアナログ回路 3 とが複数の電源供給路で接続された場合、このアナログ回路 3 へ接続されるすべての電源供給路にオープンスタブ E B G 構造 4 を設けることで、高周波ノイズがアナログ回路 3 へ入り込まなくなる。

【 0 0 2 6 】

図 3 は、ブリッジ部 1 の左端部から右端部までの間に、配線長が 1 8 . 7 m m のオープンスタブ E B G 構造をそれぞれ 3 個、1 0 個接続した場合 (S t u b 1 8 . 7 m m 3 個および 1 0 個) と、1 つも接続しなかった場合 (N o S t u b) との伝送損失を解析したグラフである。

図 3 に示すように、オープンスタブ E B G 構造を接続することにより、高周波の電磁波の伝搬を抑制できることがわかる。オープンスタブ E B G 構造を 1 0 個接続した方が、電磁波の伝搬抑制量が、オープンスタブ E B G 構造 3 個の場合に比べて大きくなっていることがわかる。このように、接続するオープンスタブ E B G 構造の数を増やすことで伝搬抑制量を増加させることができる。

ただし、個数を多くすることで占有面積が大きくなるため、抑制量とのトレードオフはあるが、オープンスタブ E B G 構造の接続個数は 3 個程度あれば最低限の効果が得られ

10

20

30

40

50

る。

【0027】

図4は、ブリッジ部1上に、18.7mmと9.35mmとそれぞれ異なる配線長のオープンスタブEBG構造を複数接続した場合(Stub 18.7mm 3個およびStub 9.35mm 3個)の、伝送損失を解析したグラフである。

図4に示すように、オープンスタブの長さによって、カットオフ周波数を変更することができる。よって、異なる配線長のオープンスタブを用意すれば、複数の周波数帯でノイズカットが可能になり、マルチバンド化させることができる。

電源層とGND層との間の絶縁材をFR-4(ガラス繊維にエポキシ樹脂を含浸)としたとき、この絶縁層間厚200μm、導体厚35μmで、2.4GHzをターゲットとする場合、オープンスタブの配線長は、通常18.2~19.2mm、好ましくは18.6~18.8mmであるのがよい。

10

【0028】

次に、図5および図6を用いて、印刷配線板におけるオープンスタブEBG構造の配置方法の他の例を説明する。

これらの印刷配線板は、コネクタ部22から、外部電源ケーブル21を介して外部装置に接続される。また、このコネクタ部22とデジタル回路2またはアナログ回路3とを電氣的に接続する電源回路23とが、共通して設けられる。また、前記コネクタ部22は電源回路23内に設置される場合がある。

なお、デジタル回路2、アナログ回路3およびオープンスタブEBG構造4は、前述したものと同一のため説明は省略する。

20

【0029】

図5(a)は、コネクタ部22と電源回路23との間に、オープンスタブEBG構造4を配置したものである。

これは、デジタル回路2で発生する高周波ノイズがコネクタ部22を介して外部電源接続ケーブル21に流れ出さないようにすることで、外部装置における電磁干渉を抑制する効果が期待できる。

【0030】

図5(b)は、電源回路23とアナログ回路3との間にオープンスタブEBG構造4を配置し、アナログ回路へのノイズが入り込まないようにしている。さらに、コネクタ部22と電源回路23との間にオープンスタブEBG構造4を配置し、デジタル回路2で発生する高周波ノイズがコネクタ部22を介して外部電源接続ケーブル21に流れ出さないようにすることで、外部装置における電磁干渉を抑制する効果が期待できる。

30

【0031】

図5(c)は、デジタル回路2と、このデジタル回路2内に配置されたアナログ回路3との間にオープンスタブEBG構造4を配置したものである。これにより、デジタル回路で発生したノイズがアナログ回路3に入り込まないようにしている。さらに、デジタル回路2で発生する高周波ノイズがコネクタ部22を介して外部電源接続ケーブル21に流れ出さないようにすることで、外部装置における電磁干渉を抑制する効果が期待できる。

【0032】

図6(a)は、図5(a)において、さらに電源回路23とデジタル回路2との間にオープンスタブEBG構造4を配置したものであり、図5(a)に示す印刷配線板と比べて、電源回路23とデジタル回路2の間を高周波ノイズが流れないようにすることができる。

40

【0033】

図6(b)は、図5(b)において、さらに電源回路23とデジタル回路2との間にオープンスタブEBG構造4を配置したものであり、図5(b)に示す印刷配線板と比べて、電源回路23とデジタル回路2の間を高周波ノイズが流れないようにすることができる。

【0034】

50

図6(c)は、図5(c)において、さらに電源回路23とデジタル回路2との間にオープンスタブEBG構造4を配置したものであり、図5(c)に示す印刷配線板と比べて、電源回路23とデジタル回路2の間を高周波ノイズが流れないようにすることができる。

【0035】

<磁性体との組み合わせ構造>

本発明における印刷配線板において、塗布や成膜等の手段によりオープンスタブの配線に接触するように磁性体を配置することで、その誘電率、透磁率により波長短縮効果、すなわち小型化があげられる。また、平行平板では磁性体の複素透磁率の虚部の効果で損失を与えるので、オープンスタブを用いたEBG構造の阻止域は狭帯域だが、これを広くする

10

【0036】

本実施形態に用いる磁性体としては、高い複素透磁率成分を有することが好ましい。これは、高い複素透磁率成分を有するほど、阻止域を広帯域化するために必要な磁性体の体積が少なく済むからである。また、本実施の形態による磁性体としては、高い表面抵抗率(好ましくは $10^2 / \text{sq}$ 以上)を有することが好ましい。これは、高い表面抵抗率を有する磁性体ほど、磁性体周辺の電気回路定数を変化させるなどの不具合を少なくすることができるからである。

【0037】

本実施形態による磁性体は、塗布や成膜等の手段によりオープンスタブ配線に接触するように配置しても良いし、例えば粘着層等を介してオープンスタブ配線の近傍に配置させても良い。本実施形態による磁性体の例としては、例えばフェライト薄膜等の軟磁性を有する薄膜、例えば金属やフェライト等の軟磁性を有する粉末を樹脂等の媒体に分散させる磁性ペースト、フェライト焼結体等が挙げられるが、フェライトめっき薄膜が最も好ましい。

20

【0038】

フェライトめっき薄膜は、組成 MFe_2O_4 からなるスピネルフェライト材料を基体上に成膜する方法である。ここで、Mは金属元素であり、例えばNi、Zn、Co、Mn、Feなどが用いられる。フェライトめっき法では、基体表面に、 Ni^{2+} 、 Zn^{2+} 、 Co^{2+} 、 Mn^{2+} 、 Fe^{2+} イオンなどを含む水溶液を接触させることで金属イオンを吸着した後、 Fe^{2+} イオンを酸化剤等により酸化させ($Fe^{2+} \rightarrow Fe^{3+}$)、さらに水溶液中の水酸化金属イオンとフェライト結晶化反応させることにより、基体表面上にフェライト膜を形成するものである。フェライトめっきは水溶液プロセスを用いた無電解めっきであり、樹脂フィルムや印刷配線板等に直接成膜することができ、熱処理しなくても比較的高い表面抵抗率と優れた磁気特性を併せ持つ膜が得られるという特長がある。フェライトめっき薄膜は、バルクのフェライトや磁性粉末と樹脂の複合体に比べて高周波数帯域でも高い透磁率を保つ。また、組成を変えることにより、透磁率の周波数特性を容易に変えることができる。フェライト膜の組成としては、定在波が生じる周波数に合わせて選択されるが、例えば、 $Ni_{0.0 \sim 0.4}Zn_{0.0 \sim 0.5}Co_{0.0 \sim 0.4}Mn_{0.0 \sim 0.4}Fe_{2.0 \sim 2.8}O_4$ の組成(ただし、金属元素Ni、Zn、Co、Mnのうち少なくとも1つは0ではない)で優れた高周波透磁率特性と高い表面抵抗率が得られる。フェライト膜の膜厚はその値が大きいほど阻止域を広帯域化する効果が高いが、阻止域を広帯域化する効果を発揮し、かつフェライト膜と本体部との密着性を強く保つためには、フェライト膜厚は $0.2 \sim 20 \mu m$ の範囲が好ましい。

30

40

【0039】

次に、磁性体を塗布した印刷配線板の製造方法を説明する。この製造方法は、下記の工程(i)~(vi)を含む。

(i) 絶縁板の一方の面に電源層、他方の面に導体層を形成してコア基板を得る工程。

(ii) コア基板の表面の電源層に構成したEBG構造の領域全体に磁性体を塗布する工程。

50

(i i i) 電源層を貫通するスルーホール形成部分の磁性体に、クリアランスを形成する工程。

(i v) コア基板の表面に絶縁樹脂層を積層し、さらに絶縁樹脂層にコア基板を積層する工程。

(v) コア基板部分と絶縁樹脂層部分とをレーザ加工またはドリル加工して、貫通したスルーホール下孔を形成する工程。

(v i) スルーホール下孔内壁面の表面をめっき層で被覆する工程。

【 0 0 4 0 】

本発明に係る印刷配線板の製造方法を、図 7 (a) ~ (f) に基づいて説明する。

図 7 (a) に示すコア基板 1 0 は、絶縁板 6 の一方の面に電源層 7、他方の面に配線パターン 8 を形成するものである。

【 0 0 4 1 】

絶縁板 6 は、絶縁性を有する素材で形成されていれば特に限定されない。このような絶縁性を有する素材としては、例えば、エポキシ樹脂、ビスマレイミド - トリアジン樹脂、ポリイミド樹脂、ポリフェニレンエーテル (P P E) 樹脂などの有機樹脂が挙げられる。これらの有機樹脂は 2 種以上を混合して用いてもよい。絶縁板 6 として有機樹脂を使用する場合、有機樹脂に補強材を配合して使用するのが好ましい。補強材としては、例えば、ガラス繊維、ガラス不織布、アラミド不織布、アラミド繊維、ポリエステル繊維などが挙げられる。これらの補強材は 2 種以上を併用してもよい。絶縁板 6 は、好ましくはガラス繊維などのガラス材入り有機樹脂から形成される。さらに、絶縁板 6 には、シリカ、硫酸バリウム、タルク、クレー、ガラス、炭酸カルシウム、酸化チタンなどの無機充填材が含まれていてもよい。絶縁板 6 の厚みは特に限定せず、好ましくは 0 . 0 2 ~ 1 0 m m の厚みを有する。

【 0 0 4 2 】

電源層 7 に E B G 構造を構成し、電源層と G N D 層間に磁性体を入れることで、E B G 構造のインダクタンスを増加させる。また、貫通スルーホールが必要となる場合にはスルーホール形成部分の磁性体は削除または非形成とする。

【 0 0 4 3 】

前記配線パターン 8 は、感光性レジスト (例えば、ドライフィルムのエッチングレジスト) をロールラミネートで貼り付け、露光および現像して回路パターン以外の部分を露出させる。露出部分の銅をエッチングにより除去する。エッチング液としては、例えば塩化第二鉄水溶液などが挙げられる。ドライフィルムのエッチングレジストを剥離して、配線パターン 8 が形成される。このようにして、絶縁板 6 の表面に配線パターン 8 が形成されたコア基板 1 0 が得られる。

【 0 0 4 4 】

次に、図 7 (b) に示すように、後述するスルーホールのために電源層 7 の E B G 構造 (オープンスタブ) の領域の一部を除去して磁性体膜 9 を塗布する。なお、磁性体膜 9 は、前述したフェライトめっき薄膜であるのが好ましく、その膜厚は 0 . 2 ~ 2 0 μ m であるのが好ましい。

【 0 0 4 5 】

次に、図 7 (c) に示すように、銅めっき液やデスミア処理液に磁性体膜 9 が溶出しないうように、電源層を貫通するスルーホール形成部分の磁性体 9 にクリアランス 1 1 を形成する。

【 0 0 4 6 】

次に、図 7 (d) に示すように、前記磁性体 9 上に絶縁樹脂層 1 2 を積層し、さらに、コア基板 1 0 と同様の構成を持つコア基板 1 0 ' を配線パターン 8 ' が外部になるよう積層する。

前記絶縁樹脂層 1 2 の形成方法は、コア基板 1 0 と 1 0 ' の間にプリプレグを挟み込み、積層プレスで熱圧着し溶融・硬化させて形成する。

【 0 0 4 7 】

次に、図7(e)に示すように、上部の配線パターン8'から絶縁樹脂層12を經由して下部の配線パターン8までを貫通するスルーホール下孔13をドリルあるいはレーザー等で形成する。このスルーホール下孔13は上部の配線パターン8'からコア基板10を經由して下部の配線パターン8を電氣的に接続し、コア基板10、10'の電源層7、7'にも電氣的に接続するスルーホール15を形成するためである。

スルーホール下孔13を形成すると、その壁面等に薄い樹脂膜が残存する場合がある。この場合、デスマリア処理が行われる。デスマリア処理は、強アルカリによって樹脂を膨潤させ、次いで酸化剤(例えば、クロム酸、過マンガン酸塩水溶液など)を用いて樹脂を分解除去する。あるいは、研磨材によるウェットブラスト処理やプラズマ処理によって、樹脂膜を除去してもよい。

【0048】

次に、図7(f)に示すように、スルーホール下孔13の壁面にめっき14が施されてスルーホール15が形成される。めっき14は無電解銅めっきあるいは電解銅めっきのどちらかが好ましい。特にめっき14の厚付けを行うには電解銅めっきが好ましく、例えば1~30 μm 程度の厚みを有する銅めっきが形成される。

【0049】

最後に、コア基板10、10'の表面の所定の位置にソルダーレジスト(図示せず)を形成してもよい。ソルダーレジストの形成方法は、まず、スプレーコート、ロールコート、カーテンコート、スクリーン法などを用い、感光性液状ソルダーレジストを10~80 μm 程度の厚みで塗布して乾燥する、あるいは感光性ドライフィルム・ソルダーレジストをロールラミネートで貼り付ける。その後、露光および現像してパッド部分などを開口させて加熱硬化させる。外形加工を施し、本発明の印刷配線板が得られる。

通常が多層印刷配線板の例で説明したが、多層印刷配線板に限定するものではなく、ビルドアップ多層印刷配線板などでも可能である。

【0050】

以上述べたように、電源プレーンの一部にオープンスタブEBG構造を入れることで、従来の電源プレーン部分で必要な直流電流をICへ供給することができ、且つ、オープンスタブEBG構造部分に高周波ノイズ電流が流れるとスタブの長さ共振する周波数で大きく損失するために、高周波ノイズ電流をカットすることができる。特にデジタル回路とアナログ回路の混載基板において電源プレーンを共有した場合、アナログ回路においてオープンスタブが配置されたブリッジ部を介して電源供給を行うと、デジタル回路で発生した高周波ノイズは伝搬せずに、必要な直流成分のみの供給が可能になる。

また、デジタル回路ブロックが複数あっても、アナログ回路を囲むようにスリットを入れ、ブリッジ部とこの端にオープンスタブを配置することでノイズ対策が可能になる。

また、オープンスタブの配線長によって、カットオフ周波数が決まる。

さらに、オープンスタブの配線を渦巻状にすることで、オープンスタブの占有面積を小さくすることができる。

さらに、同じ配線長のオープンスタブを複数並べることで、減衰率を大きくすることができる。

また、異なる配線長のオープンスタブを併用することで、それぞれの長さに応じたカットオフ周波数を持つことができるため、複数の無線通信周波数に対して同時にノイズ抑制が行える。

また、これらの印刷配線板には、コネクタ部から外部電源ケーブルを介して外部装置に接続される。このコネクタ部の周辺にオープンスタブEBG構造を配置し、高周波ノイズが流れ出さないようにすることで、外部装置における電磁干渉を抑制する。

【0051】

本発明では、ビアのないプレーナ型EBG構造をもとにしているが、従来は、ビアのないプレーナ型では、パッチサイズにノイズ阻止周波数が依存し、所望の周波数にノイズ阻止周波数を設定するためにパッチを小さくすることが難しいことから、セルのサイズが大きくなってしまった。オープンスタブを利用したEBG構造では、オープンスタブの共振

10

20

30

40

50

周波数でノイズ阻止周波数を設定できるが、ビアが必要であった。本提案の構造ではビアを追加することなくオープンスタブを設置できるので、層数の増加と言った基板のコストアップ要因がなくなり、且つ、小型化を実現している。

さらに、ICに必要な電流を供給する場合、このスタブ部分を使って電流を供給する場合には、必要な電流を流すために、配線幅が制約されるが、この構造では、DC電流を供給するルートとは別に、高周波ノイズを伝送しない為の終端がオープンとなったスタブ配線を用意しているので、スタブ配線の幅には、特に規定がない。つまり、DC電流は、従来のベタ部分で供給し、そのベタの周囲にオープンスタブで、尚且つカットオフ周波数から配線長を算出したスタブ配線を接続する構造としていることが特徴となり、この構造によってノイズ伝搬抑制を実現する。

10

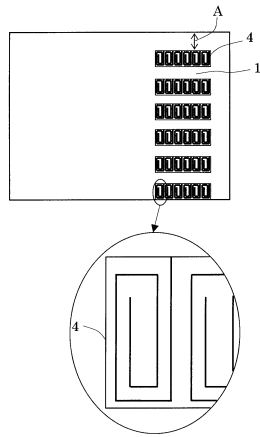
【符号の説明】

【0052】

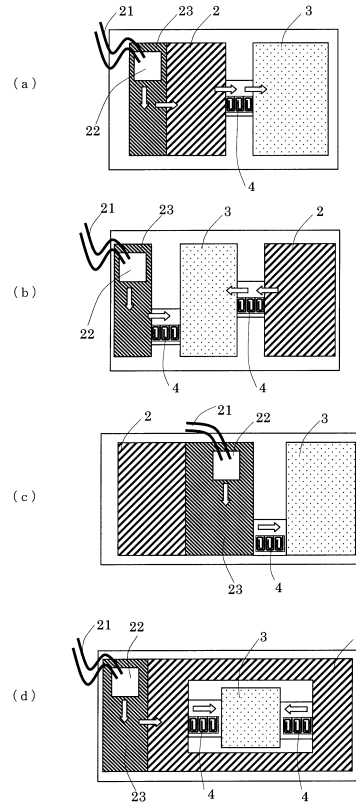
- 1 ブリッジ部
- 2 デジタル回路
- 3 アナログ回路
- 4 オープンスタブEBG構造
- 6、6' 絶縁板
- 7、7' 電源層
- 8、8' 配線パターン
- 9 磁性体膜
- 10、10' コア基板
- 11 クリアランス
- 12 絶縁樹脂層
- 13 スルーホール下孔
- 14 めっき
- 15 スルーホール
- 21 外部電源接続ケーブル
- 22 コネクタ部
- 23 電源回路

20

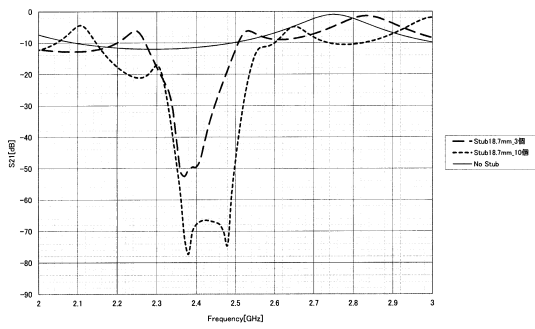
【図1】



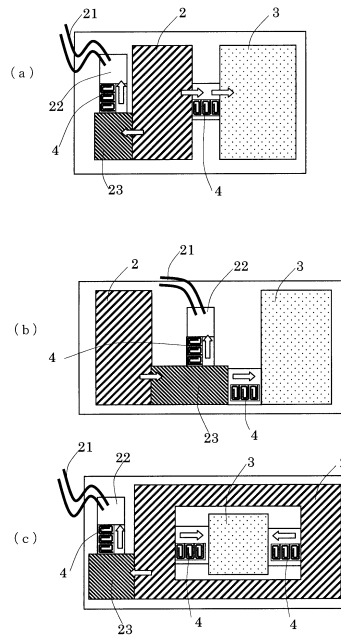
【図2】



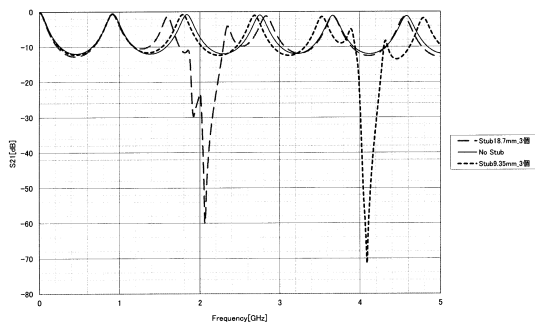
【図3】



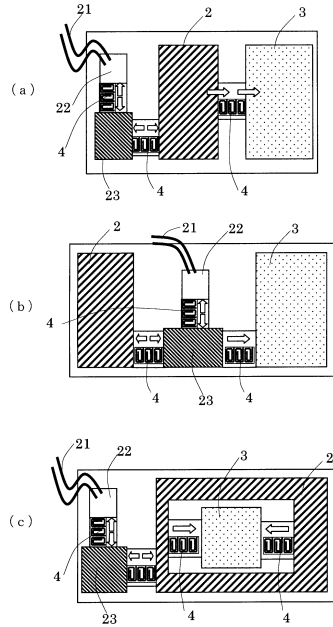
【図5】



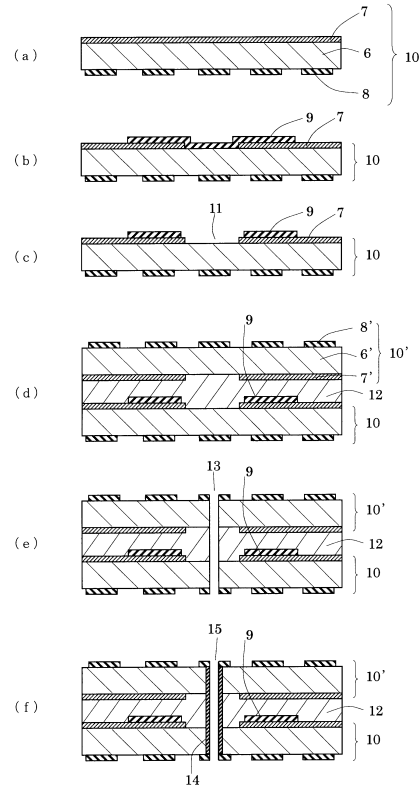
【図4】



【図6】



【図7】



フロントページの続き

- (72)発明者 五百旗頭 健吾
岡山県岡山市北区津島中一丁目1番1号 国立大学法人岡山大学内
- (72)発明者 山下 祐輝
岡山県岡山市北区津島中一丁目1番1号 国立大学法人岡山大学内
- (72)発明者 金子 俊之
東京都品川区東品川三丁目3番4号 京セラサーキットソリューションズ株式会社東京事業所内
- (72)発明者 内藤 政則
東京都品川区東品川三丁目3番4号 京セラサーキットソリューションズ株式会社東京事業所内
- (72)発明者 海谷 清彦
東京都品川区東品川三丁目3番4号 京セラサーキットソリューションズ株式会社東京事業所内
- (72)発明者 上原 利久
東京都品川区東品川三丁目3番4号 京セラサーキットソリューションズ株式会社東京事業所内
- (72)発明者 近藤 幸一
宮城県仙台市太白区郡山六丁目7番1号 NECトーキン株式会社内

合議体

審判長 國分 直樹
審判官 山本 章裕
審判官 五十嵐 努

- (56)参考文献 特開2008-010859(JP,A)
特開2013-232613(JP,A)
特開2013-183082(JP,A)
米国特許出願公開第2008/0158840(US,A1)
国際公開第2008/062562(WO,A1)
特開2011-249862(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H05K 1/00-1/02, 3/46