

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B1)

(11) 特許番号

特許第6971415号
(P6971415)

(45) 発行日 令和3年11月24日(2021.11.24)

(24) 登録日 令和3年11月4日(2021.11.4)

(51) Int.Cl.		F I	
C 3 O B 29/38	(2006.01)	C 3 O B 29/38	D
C 3 O B 25/18	(2006.01)	C 3 O B 25/18	
H O 1 L 21/31	(2006.01)	H O 1 L 21/31	
H O 1 L 33/22	(2010.01)	H O 1 L 33/22	
H O 1 L 33/32	(2010.01)	H O 1 L 33/32	

請求項の数 36 (全 36 頁)

(21) 出願番号	特願2021-30885 (P2021-30885)	(73) 特許権者	000006633
(22) 出願日	令和3年2月26日(2021.2.26)		京セラ株式会社
(62) 分割の表示	特願2020-219849 (P2020-219849) の分割		京都府京都市伏見区竹田鳥羽殿町6番地
原出願日	令和2年12月29日(2020.12.29)	(74) 代理人	110000338
審査請求日	令和3年2月26日(2021.2.26)		特許業務法人HARAKENZO WORLD PATENT & TRADEMARK
早期審査対象出願		(72) 発明者	神川 剛
			京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内
		(72) 発明者	正木 克明
			京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体基板、半導体基板の製造方法、半導体基板の製造装置、電子部品および電子機器

(57) 【特許請求の範囲】

【請求項1】

ベース基板と、
前記ベース基板上に位置するとともに、開口部およびマスク部を有するマスク層と、
前記開口部にて露出した前記ベース基板上から前記マスク部上にわたって位置している、
GaN系半導体を含む半導体層と、を備え、
前記半導体層は、前記マスク部上に位置している第1部分と、前記開口部上に位置している第2部分とを有し、
前記半導体層を厚み方向に切断した断面における非貫通転位の転位密度は、前記第2部分よりも前記第1部分の方が大きく、
前記第1部分の表面は電子部品形成領域を有している、半導体基板。

【請求項2】

前記第1部分において、前記半導体層の上面における貫通転位密度は、前記半導体層を厚み方向に切断した断面における非貫通転位密度よりも小さい、請求項1に記載の半導体基板。

【請求項3】

前記第2部分において、前記半導体層の上面における貫通転位密度は、前記半導体層を厚み方向に切断した断面における非貫通転位密度よりも大きい、請求項1または2に記載の半導体基板。

【請求項4】

ベース基板と、
 前記ベース基板上に位置するとともに、開口部およびマスク部を有するマスク層と、
 前記開口部にて露出した前記ベース基板上から前記マスク部上にわたって位置している、
 GaN系半導体を含む半導体層と、を備え、
 前記半導体層は、前記マスク部上に位置する第1部分を含み、
 前記半導体層は、前記開口部と前記マスク部の中央との間に位置するエッジを有し、
 前記第1部分に非貫通転位が含まれ、
 前記第1部分の貫通転位密度が、 $5 \times 10^6 / \text{cm}^2$ 以下である、半導体基板。

【請求項5】

平面視において、前記第1部分が前記開口部と前記マスク部の中央との間に位置する、
 請求項1～3の何れか1項に記載の半導体基板。

10

【請求項6】

前記半導体層を厚み方向に切断した断面における、前記第1部分における非貫通転位の
 転位密度は、 $5 \times 10^8 / \text{cm}^2$ 以下である、請求項1～5の何れか1項に記載の半導体
 基板。

【請求項7】

前記ベース基板は、単結晶のシリコン基板を有している、請求項1～6の何れか1項に
 記載の半導体基板。

【請求項8】

前記マスク層は、酸化シリコン、窒化シリコン、酸窒化シリコン、または窒化チタンを
 含む、請求項1～7の何れか1項に記載の半導体基板。

20

【請求項9】

前記開口部は、前記半導体層の $\langle 1 - 1 0 0 \rangle$ 方向に延びるスリット形状である、請求
 項1～8の何れか1項に記載の半導体基板。

【請求項10】

前記開口部の幅は、 $0.1 \mu\text{m}$ 以上 $30 \mu\text{m}$ 以下である、請求項1～9の何れか1項に
 記載の半導体基板。

【請求項11】

前記ベース基板は、
 主基板と、
 前記主基板上に位置するとともに少なくとも前記マスク層の開口部に重なる、GaN
 系半導体を含む半導体膜と、を有しており、
 前記半導体層は、前記半導体膜に接触する、請求項1～10の何れか1項に記載の半導
 体基板。

30

【請求項12】

前記半導体層は、前記第1部分において、
 前記マスク部上に位置した第3部分と、
 前記第3部分よりも前記半導体層の表面側に位置するとともに前記第3部分よりも非
貫通転位密度の小さい第4部分と、を有する請求項1～11の何れか1項に記載の半導体
 基板。

40

【請求項13】

前記半導体層を厚み方向に切断した断面において、前記第1部分の不純物濃度は、前記
 第2部分の不純物濃度よりも大きい、請求項1に記載の半導体基板。

【請求項14】

前記半導体層は、前記第1部分において、
 前記マスク部上に位置した第3部分と、
 前記第3部分よりも前記半導体層の表面側に位置するとともに第3部分よりも不純物
 濃度の小さい第4部分と、を有する請求項1～11の何れか1項に記載の半導体基板。

【請求項15】

前記半導体層は、前記第1部分において前記半導体層の厚み方向における前記第3部分

50

と前記第 4 部分との間に位置するとともに、前記第 3 部分よりも不純物濃度の大きい、第 5 部分を有している、請求項 14 に記載の半導体基板。

【請求項 16】

前記第 1 部分は、前記半導体層の前記第 1 部分の表面において、
第 6 部分と、

前記第 6 部分よりも前記第 2 部分側に位置するとともに、前記第 6 部分よりも不純物濃度の小さい第 7 部分と、を有している、請求項 1 に記載の半導体基板。

【請求項 17】

前記第 3 部分は、平面視で前記開口部に隣接する内側部と、平面視において前記内側部よりも開口部から遠く、前記内側部よりも不純物濃度が低い外側部とを含む、請求項 14 に記載の半導体基板。

10

【請求項 18】

前記半導体層は、前記マスク部上にエッジを有する、請求項 5 に記載の半導体基板。

【請求項 19】

前記半導体層は、前記マスク部上にエッジを有さない一体形状であり、平面視で前記マスク部の中央と重なる中空部を含む、請求項 5 に記載の半導体基板。

【請求項 20】

前記中空部が前記マスク部の表面上に位置する、請求項 19 に記載の半導体基板。

【請求項 21】

前記中空部は、前記マスク部の表面に近づく方向に向けて幅広となる形状である、請求項 20 に記載の半導体基板。

20

【請求項 22】

前記半導体層の表面は、平面視で前記中空部と重なる凹部を含む、請求項 19 ~ 21 のいずれか 1 項に記載の半導体基板。

【請求項 23】

前記第 1 部分は、平面視における前記開口部と前記中空部との間に位置する、請求項 19 ~ 22 のいずれか 1 項に記載の半導体基板。

【請求項 24】

前記半導体層は、前記第 1 部分のみと重なる、電子部品形成領域を有する、請求項 4 に記載の半導体基板。

30

【請求項 25】

前記開口部は、長手形状を有しており、

前記半導体層は、前記開口部の長手方向に沿って、それぞれが前記第 1 部分と重なる複数の電子部品形成領域を有する、請求項 4 に記載の半導体基板。

【請求項 26】

前記半導体層は、前記開口部の長手方向に交わる方向に沿って、それぞれが前記第 1 部分と重なる複数の電子部品形成領域を有する、請求項 4 に記載の半導体基板。

【請求項 27】

前記半導体層は、前記半導体層の表面に位置した貫通転位を含む転位領域をさらに有し、

40

前記転位領域から前記第 2 部分の表面領域を差し引いた差分領域は、前記第 2 部分の表面領域よりも小さい、請求項 1 に記載の半導体基板。

【請求項 28】

前記半導体層の厚みは、前記開口部の幅よりも小さい、請求項 1 ~ 27 の何れか 1 項に記載の半導体基板。

【請求項 29】

前記第 1 部分は、表面における貫通転位密度が $5 \times 10^6 / \text{cm}^2$ 以下であり、前記マスク部と重なる $15 \mu\text{m} \times 15 \mu\text{m}$ 以上の領域である、請求項 1 ~ 28 の何れか 1 項に記載の半導体基板。

【請求項 30】

50

前記第 2 部分は、前記第 1 部分よりも貫通転位の転位密度が高い、請求項 1 に記載の半導体基板。

【請求項 3 1】

前記開口部は長手形状を有し、

前記第 1 部分は、平面視において、前記開口部の長手方向におけるサイズが $100\ \mu\text{m}$ 以上である、請求項 1 ~ 3 0 の何れか 1 項に記載の半導体基板。

【請求項 3 2】

前記半導体層は、前記半導体層を厚み方向に切断した断面において、前記半導体層を厚み方向に貫通する複数の貫通転位を有しており、

前記複数の貫通転位の全ては、前記開口部を通る、請求項 1 ~ 3 1 の何れか 1 項に記載の半導体基板。

10

【請求項 3 3】

ベース基板と、前記ベース基板よりも上層に位置するとともに、開口部およびマスク部を有するマスク層とを含むテンプレート基板を準備する工程と、

前記マスク部上に位置し、GaN系半導体を含む第 1 部分と、前記開口部上に位置し、GaN系半導体を含む第 2 部分とを、前記第 1 部分を厚み方向に切断した断面における非貫通転位の転位密度が、前記第 2 部分を厚み方向に切断した断面における非貫通転位の転位密度よりも大きくなるように形成する工程と、を含む、半導体基板の製造方法。

【請求項 3 4】

ベース基板と、前記ベース基板よりも上層に位置するとともに、開口部およびマスク部を有するマスク層とを含むテンプレート基板上に、前記マスク部上に位置し、GaN系半導体を含む第 1 部分と、前記開口部上に位置し、GaN系半導体を含む第 2 部分とを、前記第 1 部分を厚み方向に切断した断面における非貫通転位の転位密度が、前記第 2 部分を厚み方向に切断した断面における非貫通転位の転位密度よりも大きくなるように形成する半導体層形成部と、

20

前記半導体層形成部を制御する制御部とを備える、半導体基板の製造装置。

【請求項 3 5】

請求項 1 ~ 3 2 の何れか 1 項に記載の半導体基板のうち少なくとも前記半導体層を備える電子部品。

【請求項 3 6】

請求項 3 5 に記載の電子部品を備える電子機器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体基板、半導体基板の製造方法、電子部品および電子機器に関し、より詳細には、窒化ガリウム系半導体素子に適用できる半導体基板およびその製造方法、並びに、窒化ガリウム系半導体素子を含む電子部品および電子機器に関する。

【背景技術】

【0002】

GaN (窒化ガリウム) を用いた半導体装置は、一般的に Si (シリコン) からなる半導体装置よりも電力変換効率が低い。これにより、GaN を用いた半導体装置は、Si からなる半導体装置よりも電力損失が小さいので、省エネルギー効果が期待される。

40

【0003】

従来、GaN を用いた半導体装置を製造するために、GaN 系半導体素子を形成する技術に関する研究が行われている。一般に、半導体薄膜成長により基板上に形成された GaN 系薄膜は、貫通転位等の欠陥 (結晶格子における欠陥) を多く有している。

【0004】

そのような GaN 系薄膜における貫通転位を低減する技術として、ELO (Epitaxial Lateral Overgrowth) 法等の選択成長技術が知られている (例えば、特許文献 1、2、非特許文献 1 を参照)。

50

【 0 0 0 5 】

具体的には、非特許文献 1 には、サファイア基板の上に、GaN 下地層と、開口部を有する酸化シリコン (SiO_2) 層とをこの順に形成した基板を用いて、ELO 法により GaN 系半導体層を形成する技術について記載されている。

【 先行技術文献 】

【 特許文献 】

【 0 0 0 6 】

【 特許文献 1 】 特開 2 0 1 3 - 2 5 1 3 0 4 号公報

【 特許文献 2 】 特開 2 0 1 1 - 6 6 3 9 8 号公報

【 非特許文献 】

10

【 0 0 0 7 】

【 非特許文献 1 】 A.Usui, H.Sunakawa, A.Sasaki, and A.Yamaguchi, "Thick GaN Epitaxial Growth with Low Dislocation Density by Hydride Vapor Phase Epitaxy", Japanese Journal of Applied Physics, 1997年7月15日, vol.36, Pt. 2, No. 7B, p.L899-L902

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 8 】

このような技術では、GaN 系半導体層のさらなる品質向上が強く要求されている。

【 課題を解決するための手段 】

【 0 0 0 9 】

20

本開示の一態様における半導体基板は、ベース基板と、前記ベース基板上に位置するとともに、開口部およびマスク部を有するマスク層と、前記開口部にて露出した前記ベース基板上から前記マスク部上にわたって位置している、GaN 系半導体を含む半導体層と、を備え、前記半導体層は、前記マスク部上に位置している第 1 部分と、前記開口部上に位置している第 2 部分とを有し、前記半導体層を厚み方向に切断した断面における非貫通転位の転位密度は、前記第 2 部分よりも前記第 1 部分の方が大きく、前記第 1 部分の表面は電子部品形成領域を有している。

【 0 0 1 0 】

また、本開示の一態様における半導体基板は、ベース基板と、前記ベース基板上に位置するとともに、開口部およびマスク部を有するマスク層と、前記開口部にて露出した前記ベース基板上から前記マスク部上にわたって位置している、GaN 系半導体を含む半導体層と、を備え、前記半導体層は、前記マスク部上に位置する第 1 部分を含み、前記半導体層は、前記開口部と前記マスク部の中央との間に位置するエッジを有し、前記第 1 部分に非貫通転位が含まれ、前記第 1 部分の貫通転位密度が、 $5 \times 10^6 / \text{cm}^2$ 以下である。

30

【 0 0 1 1 】

また、本開示の一態様における半導体基板の製造方法は、ベース基板と、前記ベース基板よりも上層に位置するとともに、開口部およびマスク部を有するマスク層とを含むテンプレート基板を準備する工程と、前記マスク部上に位置し、GaN 系半導体を含む第 1 部分と、前記開口部上に位置し、GaN 系半導体を含む第 2 部分とを、前記第 1 部分を厚み方向に切断した断面における非貫通転位の転位密度が、前記第 2 部分を厚み方向に切断した断面における非貫通転位の転位密度よりも大きくなるように形成する工程と、を含む。

40

【 0 0 1 2 】

また、本開示の一態様における半導体基板の製造装置は、ベース基板と、前記ベース基板よりも上層に位置するとともに、開口部およびマスク部を有するマスク層とを含むテンプレート基板上に、前記マスク部上に位置し、GaN 系半導体を含む第 1 部分と、前記開口部上に位置し、GaN 系半導体を含む第 2 部分とを、前記第 1 部分を厚み方向に切断した断面における非貫通転位の転位密度が、前記第 2 部分を厚み方向に切断した断面における非貫通転位の転位密度よりも大きくなるように形成する半導体層形成部と、前記半導体層形成部を制御する制御部とを備える。

【 発明の効果 】

50

【 0 0 1 3 】

本開示の一態様によれば、第 1 部分の貫通転位の転位密度を低減させ、G a N 系半導体層の品質を向上させることができる。

【 図面の簡単な説明 】

【 0 0 1 4 】

【 図 1 A 】本開示の実施形態 1 における半導体基板の有する転位を模式的に示す平面図である。

10

【 図 1 B 】図 1 A の I B - I B 線の矢視断面図であって、半導体基板の有する転位を模式的に示す断面図である。

【 図 2 A 】本開示の実施形態 1 における半導体基板の表面を C L 測定して得られた C L 像の一例を示す写真である。

【 図 2 B 】図 2 A の半導体基板の m 面断面を C L 測定して得られた C L 像の一例を示す写真である。

【 図 3 】本開示の実施形態 1 における半導体基板について説明するための図である。

【 図 4 】デバイス積層構造を形成した半導体基板について説明するための断面図である。

【 図 5 】図 4 の一部を拡大した図であって、デバイス積層構造について説明するための断面図である。

20

【 図 6 A 】L E D を製造するデバイスプロセスの一例について説明するための図である。

【 図 6 B 】図 6 A のデバイスプロセス後の第 1 の中間デバイスに対してエッチング処理を行った後の第 2 の中間デバイスの様子を模式的に示す断面図である。

【 図 6 C 】スタンプを用いて発光素子をマスク部から剥離する様子を示す断面図である。

【 図 7 】発光素子をフリップチップにより回路基板上に実装した構成例を示す断面図である。

【 図 8 】発光素子が回路基板上に実装されたマイクロ L E D ディスプレイの一部を示した図である。

【 図 9 】G a N 系半導体層の横方向成長の一例を示す断面図である。

【 図 1 0 A 】本開示の実施形態 4 における半導体基板の備えるテンプレート基板の断面図である。

30

【 図 1 0 B 】本開示の実施形態 4 における半導体基板について G a N 系半導体層の会合前の状態を示す断面図である。

【 図 1 0 C 】図 1 0 B に示す状態の後、G a N 系半導体層が会合して成長した状態の半導体基板を示す断面図である。

【 図 1 1 A 】本開示の実施形態 4 における半導体基板について G a N 系半導体層の成膜中の状態を示す断面図である。

【 図 1 1 B 】図 1 1 A に示す状態の後、G a N 系半導体層の会合時の状態の半導体基板を示す断面図である。

【 図 1 1 C 】図 1 1 B に示す状態の後、G a N 系半導体層が会合して成長した状態の半導体基板を示す断面図である。

40

【 図 1 2 】半導体基板の製造方法の一例を示すフローチャートである。

【 図 1 3 】半導体基板の製造装置の構成例を示すブロック図である。

【 発明を実施するための形態 】

【 0 0 1 5 】

以下、実施の形態について図面を参照して説明する。なお、以下の記載は発明の趣旨をよりよく理解させるためのものであり、特に指定のない限り、本開示を限定するものではない。本明細書において特記しない限り、数値範囲を表す「A ~ B」は、「A 以上 B 以下」を意味する。また、本出願における各図面に記載した構成の形状および寸法（長さ、幅等）は、実際の形状および寸法を必ずしも反映させたものではなく、図面の明瞭化および

50

簡略化のために適宜変更している。

【0016】

以下の説明においては、本開示の一態様における半導体基板およびその製造方法についての理解を容易にするために、始めに、本開示の知見について概略的に説明する。

【0017】

(本開示の知見の概要)

基板上にGaN系半導体層を製造する場合、GaN系半導体層に欠陥(貫通転位など)が発生する等の様々な課題がある。この問題は、特にGaN系半導体とは異なる種類の材質の基板(以下、異種基板と称することがある)を用いて、異種基板上にGaN系半導体層を製造する場合に顕著である。

10

【0018】

GaN系半導体層の欠陥を低減する手段として、例えば、ELO法によってGaN系半導体層(「ELO-GaN系半導体層」ともいう)を形成することがある。具体的には、ストライプ状のマスク部とストライプ状の開口部とを有している成長マスク層を使用して、開口部からGaN系半導体層を成長させるとともに、マスク部上にGaN系半導体層を横方向成長させる。そして、複数の開口部から成長した複数のGaN系半導体層に基づいて1つのデバイスを作成している。

【0019】

しかしながら、近年、例えばマイクロLEDのような微小チップのデバイスに対する需要が高まっており、例えば赤色発光するGaN系のマイクロLEDでは、欠陥に対する要求がさらに厳しくなっており、高品質なGaN系半導体層を有する半導体基板が求められる。また、従来よりもさらに大面積の活性領域を有するELO-GaN系半導体層を実現できれば、そのようなELO-GaN系半導体層を有する半導体基板は、例えばGaN系の半導体素子(例えばマイクロLEDチップ)の製造に好適に利用することができる。

20

【0020】

この点、従来のELO法によってGaN系半導体層の幅を広く成膜することについて報告されている例は少ない。これは、ELO法によって幅の広い高品位なGaN系半導体層を成膜することは容易ではないことが一因である。マスク部上において横方向に広く成膜した(幅広に横方向成長させて形成した)ELO-GaN系半導体層にどのような欠陥が発生するのか明らかでなく、ELO-GaN系半導体層における欠陥の発生原因および当該欠陥を低減する方法についての研究は未だ充分でない。

30

【0021】

これに対して、本発明者らは、鋭意研究の結果、概して以下のことを見出した。すなわち、マスク部上のELO-GaN系半導体層(後述する第1部分)における欠陥(例えば、転位、不純物)について詳細に調査し、その結果、上記第1部分の表面におけるデバイスが形成可能な領域の品質を向上させることができる条件を見出した。

【0022】

また、本開示の一態様における半導体基板は、成長マスク層のマスク部の幅を従来よりも広くして、比較的幅の広いELO-GaN系半導体層を形成した場合でも、デバイスが形成可能な高品位な領域の面積を広く確保することができることを見出した。

40

【0023】

これは、例えば、マスク部上のELO-GaN系半導体層の内部において転位(典型的には基底面転位)を積極的に発生させることにより実現できる。すなわち、マスク部上のELO-GaN系半導体層の内部応力を緩和させることができ、マスク部上のELO-GaN系半導体層の表面および表面近傍部における転位の密度を効果的に低減させることができる。なお、これまでのところ、本発明者らの認識する限り、マスク部上のELO-GaN系半導体層の内部の転位についての詳細な報告例は見受けられない。

【0024】

〔実施形態1〕

以下、本開示の一実施形態について、図面を参照して説明する。本実施形態では、説明

50

の平明化のために、単個のGaN系半導体層を有する半導体基板について説明する。なお、詳しくは後述するように、本実施形態の半導体基板は、GaN系半導体層の一部がエッチング等により除去されてもよく、この場合、単個のGaN系半導体層が分割されてよい。これにより形成された複数のGaN系半導体層を有する半導体基板も、本開示の一態様における半導体基板の範疇に入ることは勿論である。

【0025】

(GaN系半導体層における表面および内部の転位)

先ず、本開示の一実施形態における半導体基板のGaN系半導体層に生じる転位について、図1および図2を用いて説明する。図1Aは、本実施形態における半導体基板1の表面に存在する転位(当該表面において観察可能な転位)を模式的に示す平面図である。図1Bは、図1Aに示す半導体基板1のIB-IB線矢視断面図であって、半導体基板1の内部に存在する欠陥(当該断面において観察可能な転位)を模式的に示す断面図である。

10

【0026】

図1Aおよび図1Bに示すように、半導体基板1は、テンプレート基板10と、GaN系半導体層20とを有している。テンプレート基板10は、ベース基板11とマスク層12とを有している。ベース基板11は、主基板110および下地層(半導体膜)111を有している。マスク層12は、開口部120およびマスク部121を有している。GaN系半導体層20は、GaNまたはGaN系半導体を含み、開口部120にて露出したベース基板11上からマスク部121上にわたって位置している。半導体基板1の各部の詳細については後述する。

20

【0027】

ここで、図1Aおよび図1Bにおいて、説明の便宜上、半導体基板1の厚み方向をZ軸方向、マスク層12における開口部120の延びる方向をY軸方向、Z軸方向およびY軸方向の両方に直交する方向をX軸方向として規定する。また、図1Aおよび図1Bにおいて、XYZ軸のそれぞれにおける正方向を矢印で示している。なお、本明細書における以下の説明においても同様にXYZ軸を規定し、図中にXYZ軸を図示する。

【0028】

本実施形態における半導体基板1は、テンプレート基板10上にc面成膜したGaN系半導体層20を有している。半導体基板1は、開口部120の延びる方向(図1Aおよび図1Bに示すY方向)がGaN系半導体層20の<1-100>方向であり、開口部120の延びる方向に直交する方向(図1Aおよび図1Bに示すX方向)がGaN系半導体層20の<11-20>方向である。

30

【0029】

半導体基板1におけるGaN系半導体層20は、(i)マスク部121上に位置している第1部分S1(前述の翼部Wに対応)と、(ii)開口部120上に位置している第2部分S2(前述の胴体部Bに対応)と、を有している。第1部分S1は、GaN系半導体層20における、平面視においてマスク部121と重なる部分であるとも言える。また、第2部分S2は、GaN系半導体層20における、平面視において開口部120と重なる部分であるとも言える。

【0030】

GaN系半導体層20は、第2部分S2において、開口部120に位置する部分からGaN系半導体層20の表面または表層まで延びる多数の貫通転位D1を有している。貫通転位D1は、例えば主基板110およびベース基板11とGaN系半導体層20との格子定数差または熱膨張係数差等に起因する歪によって発生するものであり、GaN系半導体層20の厚み方向に沿って、GaN系半導体層20の下面または内部から上層部(表層)にわたって線状に延びた転位である。貫通転位D1は、GaN系半導体層20の表面について、後述するようにCL(Cathode luminescence)測定を行うことにより観察可能である。

40

【0031】

なお、図1Aにおいて貫通転位D1を黒丸にて示しているが、図1Aは模式図であって

50

、貫通転位 D 1 の大きさ、数、分布等は図 1 A に示す黒丸に限定されないことは勿論である。

【 0 0 3 2 】

G a N 系半導体層 2 0 は、第 1 部分 S 1 の表面において低転位領域 A R 1 を有している。低転位領域 A R 1 は、C L 測定により得られる C L 像において、例えば、 $5 \times 10^6 / \text{cm}^2$ 以下の貫通転位 D 1 を有している。このような低転位領域 A R 1 は、半導体デバイスの活性領域として好適に用いることができる。

【 0 0 3 3 】

本実施形態における半導体基板 1 は、第 1 部分 S 1 に貫通転位 D 1 が含まれ、第 1 部分 S 1 の貫通転位密度が、 $5 \times 10^6 / \text{cm}^2$ 以下であってよく、 $1 \times 10^6 / \text{cm}^2$ 以下であってよい。

10

【 0 0 3 4 】

なお、低転位領域 A R 1 は、例えば第 2 部分 S 2 に比較して、 $1 / 500$ 倍の貫通転位密度になっていてもよい。さらに、低転位領域 A R 1 は、貫通転位 D 1 を検出できない（確認できない）程度にまで、表面の貫通転位 D 1 の転位密度が低減された領域であってよい。

【 0 0 3 5 】

なお、図 1 A において破線にて示す低転位領域 A R 1 は一例であって、低転位領域 A R 1 の位置および大きさはこの例に限定されない。低転位領域 A R 1 は、図 1 A において、図示を省略している領域にまで広がるように、X 軸方向または Y 軸方向にさらに長く延びていてよい。

20

【 0 0 3 6 】

図 1 B に示す断面は、本実施形態における半導体基板 1 を厚み方向に切断した断面である。この断面は、X 軸方向（G a N 系半導体層 2 0 の $\langle 11 - 20 \rangle$ 方向）と Z 軸方向（G a N 系半導体層 2 0 の $\langle 0001 \rangle$ 方向）とを面内方向に含む面である。また、この断面は、半導体基板 1 を Y 軸方向（G a N 系半導体層 2 0 の $\langle 1 - 100 \rangle$ 方向）に垂直な面（すなわち G a N 系半導体層 2 0 の m 面）で切ったときの断面であると言えるので、本明細書において以下では m 面断面と称する。

【 0 0 3 7 】

上記 m 面断面について C L 測定を行い詳細に調査した結果、以下のことがわかった。半導体基板 1 の G a N 系半導体層 2 0 は、第 1 部分 S 1 の内部に、上記貫通転位 D 1 とは異なる非貫通転位 D 2 を有する。より具体的には、非貫通転位 D 2 は、貫通転位 D 1 と異なり、G a N 系半導体層 2 0 の下面または内部から表層にわたって線状に延びていない転位を指す。また、この非貫通転位 D 2 とは、後述するように、上記 m 面断面について C L 法を用いて観察したときに得られる C L 像において計測可能な転位を意味する。そのため、非貫通転位 D 2 は、上記 m 面断面において計測可能にあらわれる「可計測転位」とも表現でき、本開示の半導体基板 1 において注目される「注目転位」とも表現できる。

30

【 0 0 3 8 】

非貫通転位 D 2 は、基底面転位を含んでいてよい。G a N 系半導体層 2 0 では、基底面は c 面であり、基底面転位とは、転位の伝播方向が基底面（c 面）内にある欠陥であってよい。また本開示において、非貫通転位 D 2 は、G a N 系半導体層 2 0 の表面に貫通（露出）していない転位である。そのため、第 1 部分 S 1 の内部に存在する非貫通転位 D 2 は、G a N 系半導体層 2 0 の表面に形成（成膜）される半導体デバイスに対して、当該半導体デバイスの性能を悪化させるような影響を与えにくい転位である。

40

【 0 0 3 9 】

なお、図 1 B において非貫通転位 D 2 を白丸にて示しているが、図 1 B は模式図であって、非貫通転位 D 2 の大きさ、数、分布等は図 1 B に示す白丸に限定されないことは勿論である。

【 0 0 4 0 】

半導体基板 1 の一例における C L 像を図 2 に示す。図 2 A は、半導体基板 1 の表面を C

50

L測定して得られたCL像の一例を示す写真である。図2Bは、半導体基板1のm面断面をCL測定して得られたCL像の一例を示す写真である。このようなCL像は、例えば、へき開または気相エッチングなどの方法を用いることによって半導体基板1の断面を露出させ、当該断面に電子線を照射して各種の物質を励起し、当該断面からの発光を測定することにより得られる。

【0041】

図2Aに示すように、CL像において、第2部分S2の表面(GaN系半導体層20の上面)に多数の暗点が観察される。具体的には、半導体基板1は、図2Aに示すように、GaN系半導体層20における第2部分S2の表面に露出した多数の転位(貫通転位D1)を有する。一方で、半導体基板1は、GaN系半導体層20における第1部分S1の表面には貫通転位D1をほとんど有しない(第1部分S1の表面では貫通転位D1を観察できない)。

10

【0042】

また、図2Bに示すように、第1部分S1の内部(GaN系半導体層20の内部)にも暗点が観察される。CL像において示されるこのような暗点は転位を示すことが知られている。具体的には、半導体基板1は、GaN系半導体層20における第1部分S1の内部に多数の非貫通転位D2を有する。なお、ここで、上記m面断面のCL像において、第1部分S1の内部にコントラストの異なる複数の領域が見られる。一般に、CL像において不純物濃度の比較的高いところは明度が高くなる。そのため、GaN系半導体層20の成長する際に取り込まれた不純物濃度の違いによって、コントラストの異なる複数の領域が存在していると考えられる。

20

【0043】

また、上記m面断面のCL像において、一部または全部の貫通転位D1が観察されることがある。例えば、上記m面断面を形成する前のGaN系半導体層20の内部にて上記m面断面に相当する部分を斜めに横切るように延びていた貫通転位D1は、上記m面断面のCL像において当該貫通転位D1の一部が線状に観察され得る。

【0044】

(転位密度について)

本開示において、GaN系半導体層20の上面における転位密度とは、CL像にてGaN系半導体層20の上面(例えば図2Aに示すようなCL像)から暗点として観察される、GaN系半導体層20の表層における計測可能な転位(典型的には貫通転位D1)の密度である。なお、CL像では内部が少し透けて見えるため、上記表層は、表面および表面近傍の部分(例えば表面からGaN系半導体層20の厚みの10%の深さまでの部分)を含んでよい。

30

【0045】

例えば、第1部分S1において、GaN系半導体層20の上面における転位密度は、以下のように算出される。すなわち、GaN系半導体層20の上面における第1部分S1の所定の面積(例えば $25\mu\text{m}^2$ 以上の面積)にて検出された貫通転位D1の数を、当該面における第1部分S1の当該所定の面積で除した値として求められる。第2部分S2においても同様に、GaN系半導体層20の上面における所定の面積(例えば $10\mu\text{m}^2$ 以上の面積)にて検出された貫通転位D1の数を、当該面における第2部分S2の当該所定の面積で除した値として求められる。

40

【0046】

また、本開示において、GaN系半導体層20の上記m面断面における転位密度とは、CL像にてGaN系半導体層20の上記m面断面に暗点として観察される、計測可能な転位(非貫通転位D2)の密度である。

【0047】

例えば、第1部分S1において、GaN系半導体層20の上記m面断面における転位密度は、以下のように算出される。すなわち、GaN系半導体層20の上記m面断面における第1部分S1の所定の面積(例えば $30\mu\text{m}^2$ 以上の面積)にて検出された非貫通転位

50

D 2 の数を、当該面における第 1 部分 S 1 の当該所定の面積で除した値として求められる。第 2 部分 S 2 においても同様に、G a N 系半導体層 2 0 の上記 m 面断面における所定の面積（例えば $3 \mu\text{m}^2$ 以上の面積）にて検出された非貫通転位 D 2 の数を、当該面における第 2 部分 S 2 の当該所定の面積で除した値として求められる。

【 0 0 4 8 】

本明細書における以下の説明においても、或る部分の転位密度は、上記したことと同様に算出されてよい。

【 0 0 4 9 】

G a N 系半導体層 2 0 における第 1 部分 S 1 および第 2 部分 S 2 の転位密度の関係について、詳しくは後述する。

10

【 0 0 5 0 】

（半導体基板）

本実施形態における半導体基板 1 について、図 3 を用いて以下に説明する。図 3 は、本実施形態における半導体基板 1 について説明するための図である。図 3 では、Z 軸方向における正から負の向きにて G a N 系半導体層 2 0 を見たとき（半導体基板 1 を平面視したとき）の半導体基板 1 の平面図と、Y 軸方向に垂直な面で切ったときの半導体基板 1 の断面図（上記 m 面断面を示す図）と、を示している。

【 0 0 5 1 】

（ベース基板）

半導体基板 1 におけるベース基板 1 1 は、主基板 1 1 0 および下地層 1 1 1 を有している。

20

【 0 0 5 2 】

（主基板）

主基板 1 1 0 としては、前述のように、G a N 系半導体と異なる材質の基板（異種基板）であってよい。上記異種基板の例を挙げると、サファイア（ Al_2O_3 ）基板、シリコン（S i）基板、炭化シリコン（S i C）基板などであるが、これらに限定されるものではない。異種基板は、G a N 系半導体と異なる種類の物質からなる基板であってよい。

【 0 0 5 3 】

主基板 1 1 0 は、各種材質の単結晶の基板であってよい。主基板 1 1 0 の面方位は、材質に対応して下記のようになっているてもよい。例えば、主基板 1 1 0 は、材質が S i であれば（1 1 1）面の面方位となっていてよく、材質が Al_2O_3 であれば（0 0 0 1）面の面方位（c 面）となっていてよく、材質が S i C であれば 6 H - S i C の（0 0 0 1）面の面方位となっていてよい。

30

【 0 0 5 4 】

主基板 1 1 0 は、下地層 1 1 1 を形成した状態（ベース基板 1 1 を形成した状態）において、E L O 法により G a N 系半導体層 2 0 を成膜可能であればよく、主基板 1 1 0 の形状、材質、および面方位は特に限定されない。但し、基本的に、G a N 系半導体層 2 0 を好適に成膜させる観点から、G a N 系半導体層 2 0 は、ベース基板 1 1 の表面を起点として c 面（基底面）成膜させることにより形成されることが好ましい。そのため、主基板 1 1 0 は、下地層 1 1 1 を形成した状態（ベース基板 1 1 を形成した状態）において、E L O 法により G a N 系半導体層 2 0 を（0 0 0 1）面方位に成長させる起点となることができる基板であることが好ましい。

40

【 0 0 5 5 】

なお、主基板 1 1 0 は、G a N 系半導体の材質の基板（例えば G a N 基板）であってよい。G a N 系半導体としては、 AlGaIn 、 AlGaInN 、 InGaIn 等が挙げられる。

【 0 0 5 6 】

（下地層）

また、ベース基板 1 1 における下地層 1 1 1 は、G a N または G a N 系半導体を含有する薄膜（以下、G a N 系薄膜と称することがある）を含む。上記 G a N 系薄膜は、G a N

50

系半導体層 20 に対応するように構成される。つまり、上記 GaN 系薄膜の組成は、GaN 系半導体層 20 の組成に対応していることが好ましい。これは、上記 GaN 系薄膜は、GaN 系半導体層 20 の成膜時に、GaN 系半導体層 20 の成長の起点となるためである。そのため、下地層 111 は、少なくともマスク層 12 の開口部 120 に重なるように位置していればよい。また、下地層 111 は、GaN 系半導体層 20 を成膜する前の時点において、マスク層 12 の開口部 120 にて露出する。下地層 111 に含まれる上記 GaN 系薄膜がマスク層 12 の開口部 120 にて露出することが好ましい。

【0057】

下地層 111 に含まれる GaN 系半導体としては、AlGaN、AlGaInN、InGaN 等が挙げられる。なお、GaN 系半導体としては、これらに限定されない。

10

【0058】

下地層 111 は、窒化アルミニウム (AlN) 層を含んでいてよい。この AlN 層は、例えば、厚みが 10 nm 程度から 5 μm 程度であってよい。

【0059】

主基板 110 が Si を含む材質である場合、下地層 111 は、AlN 層を含むことが好ましい。AlN 層を含む下地層 111 が設けられることにより、主基板 110 と GaN 系半導体層 20 とを AlN 層によって分離することができる。そのため、例えば、後工程において GaN 系半導体層 20 を形成する際に、主基板 110 に含まれる Si と、GaN 系半導体層 20 の GaN とが互いに溶融 (メルトバック) する現象の発生を防止することができる。

20

【0060】

下地層 111 は、多層膜であってもよい。また、下地層 111 が多層膜である場合、AlN 層を含んでいてもよい。この多層膜としては、例えば、Al_{0.7}Ga_{0.3}N 層 / Al_{0.3}Ga_{0.7}N 層、等のように Al 組成が段階的に GaN に近づく多層膜であってもよい。このような多層膜は、有機金属化学気相成長 (MOCVD) 法を用いて容易に成膜することができる。下地層 111 が多層膜であることにより、GaN 系半導体層 20 に生じる、主基板 110 (例えば Si 基板) からの応力を緩和することができる。

【0061】

例えば、MOCVD 法により、主基板 110 としての Si (111) 基板上に、下地層 111 として AlN 層 / AlGaN 層 / GaN 層の積層体を成膜する。下地層 111 に含まれる AlGaN 層は多層膜であってよく、当該多層膜は、複数の AlGaN 層であって、Z 軸正方向において Al 組成が段階的に小さくなる (GaN に近づく) ようになってもよい。

30

【0062】

下地層 111 は、厚みが 0.1 μm 以上 10.0 μm 以下であってよく、0.2 μm 以上 6.0 μm 以下であってよい。また、半導体基板 1 において、下地層 111 の厚みが、マスク層 12 におけるマスク部 121 の厚みよりも厚くなってもよい。

【0063】

なお、図 3 では、単一の層として下地層 111 を図示しているが、上述のように、下地層 111 は複数の層を有していてもよい。また、下地層 111 は、カーボンを含む層を有していてもよい。

40

【0064】

以上のように、本実施形態における半導体基板 1 では、ベース基板 11 は、主基板 110 と、主基板 110 上に位置するとともに少なくともマスク層 12 の開口部 120 に重なる、GaN または GaN 系半導体を含む下地層 111 と、を有している。GaN 系半導体層 20 は、下地層 111 に接触する。これにより、開口部 120 に重なる下地層 111 から、GaN 系半導体層 20 を好適に成長させることができる。なお、本実施形態では、下地層 111 は、マスク層 12 のマスク部 121 と主基板 110 との間にも位置している。

【0065】

(マスク層)

50

半導体基板 1 におけるマスク層 1 2 は、GaN系半導体層 2 0 を選択成長させるために ELO法において用いられる成長マスクである。マスク層 1 2 は、GaN系半導体層 2 0 の成長の起点が、開口部 1 2 0 にて露出したベース基板 1 1 上となるように、ベース基板 1 1 上の少なくとも一部を覆うマスク部 1 2 1 を有している。マスク層 1 2 は、ベース基板 1 1 の上層に形成されていればよく、半導体基板 1 は、ベース基板 1 1 とマスク層 1 2 との間に別の層を有していてもよい。

【0066】

マスク層 1 2 のマスク部 1 2 1 は、例えばシリコンの酸化膜（例えば SiO_2 ）、窒化チタン膜（ TiN など）、窒化シリコン膜（ SiN など）、酸窒化シリコン膜（例えば SiON ）等の絶縁膜により形成されていてよい。また、マスク層 1 2 として、以上に例示した膜を含む多層膜を用いてもよく、当該多層膜は他の材料の膜を含んでいてもよい。また、マスク層 1 2 として、金属膜（貴金属、高融点金属など）を用いることもできる。ベース基板 1 1 上にマスク層 1 2 を形成することによりテンプレート基板 1 0 が得られる。本実施形態では、マスク層 1 2 は、単層の SiO_2 からなる。

10

【0067】

マスク部 1 2 1 として、シリコンの窒化膜（ SiNx 膜）またはシリコンの酸窒化膜（ SiON 膜）を用いてもよい。その結果、マスク層 1 2 が、例えば SiO_2 などからなる場合と比較して、マスク層 1 2 と GaN系半導体層 2 0 との接着強度を低減させることができ、後に GaN系半導体層 2 0 をマスク部 1 2 1 から剥離する際に、剥離が容易になる。

20

【0068】

上記のような観点から、マスク層 1 2 は、下地層 1 1 1 と GaN系半導体層 2 0 との間において、 SiO_x/SiNx 、または SiNx/SiO_x のような 2 層構造となっていてよい。

【0069】

また、半導体基板 1 は、下地層 1 1 1 / $\text{SiNx}/\text{SiO}_x/\text{SiNx}/\text{GaN}$ 系半導体層 2 0 のような層構造を有していてもよく、マスク層 1 2 は、 SiO_x の両側を SiNx で挟んだ三層構造となっていてよい。マスク層 1 2 は、シリコンの窒化膜の単膜でもよいことはもちろんである。マスク層 1 2 は、GaN系半導体層 2 0 とマスク部 1 2 1 との剥離を容易にすることを目的として、GaN系半導体層 2 0 と接する側に SiNx 膜を有する構造であることがより好ましい。

30

【0070】

なお、ELO法に一般的に用いられるシリコンの酸化膜（ SiO_x 膜）をマスク層 1 2 とした場合であっても、マスク層 1 2 の成膜条件、GaN系半導体層 2 0 の成膜条件等の最適化により、剥離を容易にすることができる。これらの成膜条件については、半導体基板 1 の製造方法の説明と合わせて後述する。

【0071】

以上のように、マスク層 1 2 は、例えば、酸化シリコン、窒化シリコン、酸窒化シリコン、または窒化チタンを含んでいてもよい。半導体基板 1 は、上述した材質のマスク層 1 2 を用いて形成することができる。また、マスク層 1 2 は、窒化物を用いてもよい。

40

【0072】

マスク層 1 2 は、例えば、長手方向における長さが $100\ \mu\text{m}$ 以上 $25\ \text{cm}$ 以下であってよい。マスク層 1 2 の長手方向における長さは、開口部 1 2 0 の長手方向における長さ、または、マスク部 1 2 1 の長手方向における長さであるともいえる。マスク層 1 2 の厚み（すなわちマスク部 1 2 1 の厚み）は $100\ \text{nm}$ から $4\ \mu\text{m}$ 程度であってよく、好ましくは $150\ \text{nm}$ から $2\ \mu\text{m}$ 程度であってよい。

【0073】

また、マスク層 1 2 は、隣り合う 2 つのマスク部 1 2 1 のそれぞれにおける側面によって挟まれる空間が開口部 1 2 0 となっている。

【0074】

50

マスク層12における開口部120は、GaN系半導体層20の<1-100>方向に延びるスリット形状を有している。図3におけるY軸方向はGaN系半導体層20の<1-100>方向であり、X軸方向はGaN系半導体層20の<11-20>方向である。開口部120がスリット形状を有しているため、ELO法によって、テンプレート基板10上にGaN系半導体層20を好適に成長させることができる。

【0075】

開口部120の開口幅W1は、0.1μm以上30μm以下であってよく、1μm以上6μm以下であってよい。開口幅W1が狭くなるほど、開口部120からGaN系半導体層20に伝搬する貫通転位D1の数は減少する。また、GaN系半導体層20をテンプレート基板10から機械的に剥離することが容易になる。

10

【0076】

さらに、開口幅W1が狭くなるほど、GaN系半導体層20において、活性領域となる低転位領域AR1の有効面積を大きくすることができる。活性領域とは、発光素子であれば発光する領域であり、通常pコンタクト電極が形成され、電流が注入される領域である。これにより、広い面積で発光するLEDデバイスを得ることができる。また、リジストライブ幅を拡大でき、高出力レーザーデバイスを得ることができる。

【0077】

本実施形態における半導体基板1において、開口部120は、ベース基板11側の開口幅がGaN系半導体層20側の開口幅よりも小さい形状を有している。また、開口部120は、Z軸正方向に向かうにつれて幅が次第に大きくなるテーパ形状を有していてもよい。言い換えれば、マスク部121のX軸方向における側面が傾斜していてもよい。半導体基板1は、開口部120を形成するマスク部121のX軸方向における側面と、ベース基板11の表面との成す角が鋭角である。半導体基板1は、開口部120を形成するマスク部121のX軸方向における側面と、マスク部121におけるベース基板11から遠い方の表面との成す角が鈍角である。その結果、GaN系半導体層20を成長させる際に、マスク部121上にスムーズに乗り上げて横方向成長させることができ、GaN系半導体層20の品質を向上させやすい。

20

【0078】

開口部120がテーパ形状となっている場合、開口部120の開口幅W1は、上記m断面において、開口部120を形成する2つのマスク部121のそれぞれの傾斜した側面と、ベース基板11の表面と、の交点として特定される2つの点(点P1および点P2)の間の距離である。

30

【0079】

(GaN系半導体層)

本実施形態における半導体基板1では、基本的に、GaN系半導体層20はc面(基底面)成膜によって形成されており、具体的には、(0001)面方位に島状に成長することにより形成されている。この場合、開口部120に露出した下地層111の表面にGaN系半導体層20が選択成長し、引き続いてマスク部121上に横方向成長することによりマスク部121上にGaN系半導体層20が成長する。

【0080】

GaN系半導体層20は、GaNまたはGaN系半導体を含む層である。GaN系半導体層20は、半導体素子に応じて適宜構成されてよく、n型、i型およびp型のうちの少なくとも一つの導電型を有していてもよい。

40

【0081】

GaN系半導体層20を構成する層は、具体的には、例えば、GaN層、AlGaN層、AlGaInN層、InGaN層などであってよい。つまり、GaN系半導体層20に含まれるGaN系半導体としては、AlGaN、AlGaInN、InGaN等が挙げられる。また、GaN系半導体層20としての、GaNまたはGaN系半導体を含む層は、アンドープ層であってもよく、ドーパされた層であってもよい。

【0082】

50

半導体基板 1 において、GaN 系半導体層 20 は、厚みが $0.5 \mu\text{m}$ 以上 $25 \mu\text{m}$ 以下であってよく、 $1 \mu\text{m}$ 以上 $10 \mu\text{m}$ 以下であってよい。この GaN 系半導体層 20 の厚みは、上記 m 面断面における、マスク部 121 と GaN 系半導体層 20 との境界から GaN 系半導体層 20 の表面までの距離であってよい。半導体基板 1 を用いて製造されるデバイスの用途によっては、GaN 系半導体層 20 の厚みが薄い方が好ましい。半導体基板 1 は、GaN 系半導体層 20 の厚みが、開口部 120 の開口幅 W_1 よりも小さくてもよい。また、GaN 系半導体層 20 の厚みは、マスク層 12 の厚みよりも小さくてもよい。

【0083】

GaN 系半導体層 20 は、好適な ELO 成膜条件を広い範囲で設定できる観点から、GaN 層であることが好ましい。また、GaN 系半導体層 20 は、InGaN 層であっててもよい。ELO を用いて InGaN 層を横方向成膜させるためには、例えば 1000 を下回るような低温の温度条件で InGaN 層の成膜を行えばよい。また、GaN 系半導体層 20 を InGaN 層とする場合、マスク層 12 との接着強度を低減することができる。InGaN 層は、例えば In 組成レベルで 1% 以上 ($\text{In}_x\text{Ga}_{1-x}\text{N}$: $x > 0.01$) の In が取り込まれた層であればよい。

【0084】

本実施形態の半導体基板 1 を製造する過程において、詳しくは後述するが、第 1 部分 S1 の内部にて非貫通転位 D2 を積極的に発生させるように、GaN 系半導体層 20 を形成する。本実施形態の半導体基板 1 における GaN 系半導体層 20 は、第 1 部分 S1 と、上記 m 面断面における非貫通転位 D2 の転位密度が第 1 部分 S1 よりも小さい第 2 部分 S2 と、を有している (図 2B を参照)。

【0085】

GaN 系半導体層 20 は、第 1 部分 S1 の内部における非貫通転位 D2 の転位密度が比較的大きい。その結果、本発明者らは、第 1 部分の内部応力を緩和することができ、GaN 系半導体層 20 を上面視したときの第 1 部分 S1 の表面において、貫通転位 D1 の転位密度を低減できると推測している。

【0086】

GaN 系半導体層 20 の表面における半導体デバイスが形成される領域に存在する貫通転位 D1 は、半導体デバイスに対して当該半導体デバイスの性能を悪化させるような影響を与える。すなわち、本実施形態の半導体基板 1 の製造過程において、第 1 部分 S1 における非貫通転位 D2 の転位密度が第 2 部分 S2 における非貫通転位 D2 の転位密度よりも大きくなるように GaN 系半導体層 20 を成長させる。これにより、幅の広いマスク層 12 の上に GaN 系半導体層 20 を形成した場合であっても、第 1 部分 S1 における広い領域で、貫通転位 D1 の転位密度を低減することができる。つまり、半導体基板 1 は、GaN 系半導体層 20 の表面における、デバイスが形成可能な高品位な低転位領域 AR1 (図 1 参照) の面積を広く確保できる。その結果、高品質な半導体デバイスを製造可能な半導体基板 1 を提供することができる。

【0087】

また、GaN 系半導体層 20 は、第 1 部分 S1 において、GaN 系半導体層 20 の上面における転位密度は、GaN 系半導体層 20 を厚み方向に切断した断面 (上記 m 面断面) における転位密度 (非貫通転位 D2 の転位密度) よりも小さくてもよい。

【0088】

半導体基板 1 は、第 1 部分 S1 の表面における転位密度が低減されていることにより、GaN 系半導体層 20 上に形成される半導体デバイスの結晶性、特性および信頼性を向上させることができる。

【0089】

例えば、半導体基板 1 は、GaN 系半導体層 20 を厚み方向に切断した断面 (上記 m 面断面) における、第 1 部分 S1 の非貫通転位 D2 の転位密度は、 $5 \times 10^8 / \text{cm}^2$ 以下であってよく、 $1 \times 10^7 / \text{cm}^2$ 以上 $8 \times 10^8 / \text{cm}^2$ 以下であってよい。

【0090】

10

20

30

40

50

半導体基板 1 では、GaN系半導体層 20 の第 1 部分 S 1 は、表面における転位密度（非貫通転位 D 2 の転位密度）が $5 \times 10^6 / \text{cm}^2$ 以下であることが好ましい。第 1 部分 S 1 は、GaN系半導体層 20 の表面において、平面視でマスク部 121 と重なる $15 \mu\text{m} \times 15 \mu\text{m}$ 以上の領域であってよい。

【0091】

半導体基板 1 において、開口部 120 は長手形状を有し、第 1 部分 S 1 は、平面視において、開口部 120 の長手方向（Y 軸方向）におけるサイズが $100 \mu\text{m}$ 以上であってよい。第 1 部分 S 1 は、Y 軸方向の一方の端部から他方の端部までの長さ L 11 が $100 \mu\text{m}$ 以上 25cm 以下であってよい。

【0092】

このように、半導体基板 1 では、GaN系半導体層 20 の表面における、高品質な半導体デバイスを製造可能な領域の面積を広く確保できる。

【0093】

また、半導体基板 1 において、第 1 部分 S 1 は、X 軸方向の一方の端部から他方の端部までの長さ L 12 が $10 \mu\text{m}$ 以上 $80 \mu\text{m}$ 以下であってよい。上記長さ L 12 は、例えば、上記 m 面断面の X 軸方向における、(i) 第 1 部分 S 1 の開口部 120 から遠い方の端部（端面）の位置と、(ii) マスク部 121 の開口部 120 側の側面の位置と、の距離であってよい。マスク部 121 の開口部 120 側の側面がテーパ状の場合、上記 (ii) は、当該側面におけるベース基板 11 から遠い方の端部の位置であってよい。

【0094】

本実施形態における半導体基板 1 では、GaN系半導体層 20 は、第 2 部分 S 2 において、開口部 120 から GaN系半導体層 20 の表面まで貫通転位が延びていてよい。そのため、第 2 部分 S 2 において、GaN系半導体層 20 の上面における転位密度（貫通転位 D 1 の転位密度）は、GaN系半導体層 20 を厚み方向に切断した断面における転位密度（非貫通転位 D 2 の転位密度）よりも大きくなっていてよい。

【0095】

半導体基板 1 において、第 2 部分 S 2 は、第 1 部分 S 1 よりも貫通転位 D 1 の転位密度が高くなっていてよい。半導体基板 1 では、ELO法を用いて形成した GaN系半導体層 20 の内部において、貫通転位 D 1 は開口部 120 から GaN系半導体層 20 の表層に延びるようにするとともに、第 1 部分 S 1 の方に貫通転位 D 1 が延びることを低減できる。その結果、第 1 部分 S 1 の表面における貫通転位 D 1 の転位密度を低減できる。

【0096】

また、半導体基板 1 において、GaN系半導体層 20 は、GaN系半導体層 20 を厚み方向に切断した断面（上記 m 面断面）において、GaN系半導体層 20 を厚み方向に貫通する複数の貫通転位 D 1 を有しており、複数の貫通転位 D 1 の全ては、開口部 120 を通ってよい。

【0097】

半導体基板 1 では、例えば、成膜条件またはマスク層 12 の寸法等を制御することにより、GaN系半導体層 20 の表面付近に発生する非貫通転位 D 2 の密度を低減することが好ましい。本実施形態における半導体基板 1 では、GaN系半導体層 20 は、第 1 部分 S 1 において、マスク部 121 上に位置した第 3 部分 S 3 と、第 3 部分 S 3 よりも GaN系半導体層 20 の表面側に位置するとともに第 3 部分 S 3 よりも転位密度の小さい第 4 部分 S 4 と、を有する。上記構成によれば、第 1 部分 S 1 の表面における転位密度をさらに低減できる。

【0098】

ここで、前述のように、半導体基板 1 は、上記 m 面断面の CL 像において、第 1 部分 S 1 の内部にコントラストの異なる複数の領域が見られることがある。このようなコントラストの違いは、不純物濃度の違いによって生じる。加速電圧を $1 \sim 5 \text{kV}$ とした比較的低速の電子線を用いて CL 測定することにより得られる高分解能の CL 像にてコントラストの違いを観察してもよい。本実施形態における半導体基板 1 は、成膜条件を適切に制御し

10

20

30

40

50

てGaN系半導体層20を成膜することによって、不純物濃度の異なる複数の部分を含むように第1部分S1を形成することができる。

【0099】

本明細書において、GaN系半導体層20の不純物としては、酸素およびSiであってよい。GaN系半導体層20に取り込まれたシリコンおよび酸素はn型ドーパントとして作用し得る。なお、GaN系半導体層20における酸素およびSiの不純物濃度は、例えば以下のように制御し得る。すなわち、例えばマスク層12としてSiO₂を使用している場合、GaN系半導体層20の成膜中における温度または成膜速度を調整することによって、SiO₂からGaN系半導体層20中に酸素およびSiを拡散させるとともに、酸素およびSiの拡散量を制御することができる。

10

【0100】

GaN系半導体層20における不純物濃度(単位は例えばatom/cm³)は、例えば二次イオン質量分析法(SIMS)を用いて、GaN系半導体層20をZ軸方向(厚み方向)に分析して定量測定することができる。

【0101】

本実施形態における半導体基板1では、GaN系半導体層20を厚み方向に切断した断面(上記m面断面)において、第1部分S1の不純物濃度は、第2部分S2の不純物濃度よりも大きくてよい。

【0102】

本実施形態における半導体基板1では、GaN系半導体層20は、第1部分S1において、マスク部121上に位置した第3部分S3と、第3部分S3よりもGaN系半導体層20の表面側に位置するとともに第3部分S3よりも不純物濃度の小さい第4部分S4と、を有してよい。これにより、第1部分S1の表面における不純物濃度を低減することができる。したがって、高品質な半導体デバイスを製造可能な半導体基板1とすることができる。

20

【0103】

本実施形態における半導体基板1では、GaN系半導体層20は、第1部分S1においてGaN系半導体層20の厚み方向における第3部分S3と第4部分S4との間に位置するとともに、第3部分S3よりも不純物濃度の大きい、第5部分S5を有してよい。

【0104】

半導体基板1において、GaN系半導体層20は、X軸方向における側面部に斜めファセット部21を有していてもよい(図1Bおよび図2Bを参照)。この斜めファセット部21は、GaN系半導体層20における例えば(11-22)面であってよく、第5部分S5の端面に対応していてもよい。斜めファセット部21を有するようにGaN系半導体層20を成膜する場合、GaN系半導体層20における、斜めファセット部21を有しながら成長した部分が第5部分S5となっていてよい。このように成長した第5部分S5には、不純物が比較的多く取り込まれ得る。例えば、V族原料/III族原料比を制御することによって斜めファセット部21を有するようにGaN系半導体層20を成膜できる。

30

【0105】

斜めファセット部21は、例えばGaN系半導体層20における(11-2)面(は整数)であってよい。このような斜めファセット部21を有するようにGaN系半導体層20を形成することにより、上述の第3部分S3、第4部分S4および第5部分S5を有するGaN系半導体層20とし易くすることができる。

40

【0106】

本実施形態における半導体基板1では、第1部分S1は、GaN系半導体層20の第1部分S1の表面において、第6部分S6と、第6部分S6よりも第2部分S2側に位置するとともに、第6部分S6よりも不純物濃度の小さい第7部分S7と、を有してよい。

【0107】

GaN系半導体層20の側面部において、マスク部121から蒸発した不純物がGaN

50

系半導体層 20 中に取り込まれ易い。そのため、第 6 部分 S 6 は、第 7 部分 S 7 よりも不純物濃度が大きくなる。第 7 部分 S 7 は、高品質な半導体デバイスを製造可能な領域として好適に用いることができる。

【 0 1 0 8 】

G a N 系半導体層 20 は、第 1 部分 S 1 のみと重なる、電子部品形成領域 A R 1 0 を有している。半導体基板 1 における電子部品形成領域 A R 1 0 は、広い面積が確保できるとともに、転位密度が小さく、デバイスを好適に形成できる。

【 0 1 0 9 】

半導体基板 1 において、開口部 1 2 0 は、長手形状を有しており、G a N 系半導体層 20 は、開口部 1 2 0 の長手方向に沿って、それぞれが第 1 部分 S 1 と重なる複数の電子部品形成領域 A R 1 0 を有してよい。上記構成によれば、半導体基板 1 を用いて、複数の電子部品を形成できる。つまり、電子部品を容易に大量生産できる。

【 0 1 1 0 】

半導体基板 1 において、G a N 系半導体層 20 は、開口部 1 2 0 の長手方向に交わる方向に沿って、それぞれが第 1 部分 S 1 と重なる複数の電子部品形成領域 A R 1 0 を有してよい。上記構成によれば、半導体基板 1 を用いて、より多くの電子部品を形成することができる。

【 0 1 1 1 】

また、半導体基板 1 は、G a N 系半導体層 20 の表面に位置した転位を含む転位領域 D A をさらに有し、転位領域 D A から第 2 部分 S 2 の表面領域 F A を差し引いた差分領域 S A は、第 2 部分 S 2 の表面領域 F A よりも小さくてよい。下地層 1 1 1 が露出している開口部 1 2 0 に対応する第 2 部分 S 2 の表面領域 F A を狭くすることは、電子部品形成領域 A R 1 0 を広く確保することにつながる。ここで、例えば、マスク部 1 2 1 の幅を狭くして、マスク部 1 2 1 と開口部 1 2 0 との周期を短くすることによれば、1 枚のウエハからのデバイス（半導体デバイス）の取れ数を多くすることができる。それに対して、差分領域 S A を狭くすることによれば、上記周期が短い場合であっても、電子部品形成領域 A R 1 0 の面積を広く確保し易い。その結果、サイズの比較的大きなデバイスを製造し易くできるため好ましい。

【 0 1 1 2 】

半導体基板 1 は、転位領域 D A の幅の大きさが、第 2 部分 S 2 の表面領域 F A の幅の大きさの 1 . 3 倍以下であってよい。より大きな電子部品形成領域 A R 1 0 を得るためには、表面領域 F A から拡大する転位領域 D A の幅の大きさを低減することが効果的である。大面積の電子部品形成領域 A R 1 0 を得ることができれば、より高出力の発光素子を形成すること、および、より大電力を制御できる電子素子を形成することができるため好ましい。例えば、発光素子であれば、電子部品形成領域 A R 1 0 に、発光領域を形成することがより好ましい。

【 0 1 1 3 】

また、開口部 1 2 0 は、ベース基板 1 1 側の開口幅と G a N 系半導体層 20 側の開口幅との差が、マスク部 1 2 1 の厚みよりも小さくてもよい。その結果、マスク部 1 2 1 上に成長する G a N 系半導体層 20 の面積を大きく確保することができる。

【 0 1 1 4 】

一方で、開口部 1 2 0 は、ベース基板 1 1 側の開口幅と G a N 系半導体層 20 側の開口幅との差が、マスク部 1 2 1 の厚みよりも大きくてもよい。その結果、開口部 1 2 0 からマスク部 1 2 1 上に成長する G a N 系半導体層 20 の品質を向上させやすくなる。

【 0 1 1 5 】

半導体基板 1 は、ベース基板 1 1 の主基板 1 1 0 として、単結晶の S i 基板を有してよい。これにより、異種基板である安価な S i 基板を主基板 1 1 0 として用いて、半導体基板 1 を形成することができる。これにより、半導体デバイスの製造コストを大幅に低減することができる。

【 0 1 1 6 】

10

20

30

40

50

一般に、ELO法では、GaN基板またはサファイア基板等の高価な基板上にGaN系半導体層を形成することが多い。しかしながら、そのような高価な基板を用いる場合、製品コストを低減することに限界がある。例えば、マイクロLEDディスプレイの価格は、マイクロLEDチップの製造コストに大きく依存する。例えば、4KサイズのマイクロLEDディスプレイでは2400万個のLEDチップを要するためである。

【0117】

半導体基板1を用いることによれば、GaN基板またはサファイア基板上に形成したGaN系半導体層を用いてマイクロLEDチップを製造する場合に比べて、マイクロLEDチップの製造コストを大幅に低減することができる。

【0118】

(半導体基板の製造方法)

以下、半導体基板1の製造方法の一例について説明する。

【0119】

まず、主基板110および下地層111を有するベース基板11を準備する(ベース基板を準備する工程)。下地層111がAlN層を含む場合、AlN層を形成する方法は、MOCVDに限定されず、スパッタ法等を用いてもよい。スパッタ装置を用いる場合、低コストでテンプレート基板10を作製できる等の利点がある。

【0120】

下地層111の成膜方法は特に限定されず、公知の方法を適宜用いて主基板110上に下地層111が形成されてよい。

【0121】

例えば、MOCVD法により、主基板110上に下地層111としてAlN層/Al_{0.6}Ga_{0.4}N層/GaN層の積層体を成膜する。具体的な一例の下地層111では、AlN層の厚みは30nm、Al_{0.6}Ga_{0.4}N層の厚みは300nm、GaN層の厚みは1~2μmであってよい。

【0122】

次いで、本実施形態における半導体基板1の製造方法では、ベース基板11上に、開口部120およびマスク部121を有するマスク層12を形成する(マスク層を形成する工程)。

【0123】

マスク層を形成する工程では、先ず、例えば、下地層111上に、プラズマ化学気相成長(CVD)法またはスパッタ法などにより絶縁膜(例えばSiO₂膜とSiN膜とを積層した膜)を形成する。その後、例えば、フォトリソグラフィ法を用いてレジストを塗布するとともにパターニングする。これにより、ストライプ状の開口部を有するレジストを形成する。次いで、例えば、フッ酸(HF)、バッファードフッ酸(BHF)などのウエットエッチャントを用いて、SiNx膜およびSiOx膜を部分的に除去した後、有機洗浄を行ってレジストを除去する。これにより、ベース基板11上にマスク層12が形成されたテンプレート基板10を得ることができる。

【0124】

具体的な一例のテンプレート基板10では、マスク層12は、SiO₂膜の厚みが例えば0.3μmであり、SiO₂膜上のSiN膜の厚みが例えば70nmである。また、開口幅W1が5μmである。マスク層12は、GaN系半導体層20の種類(成分組成)に対応してマスク部121の材質および層構造が選択されてよい。

【0125】

また、マスク部121にはピンホールが存在し得る。そのため、成膜装置中にて一度成膜を行った後、有機洗浄などを行い再度成膜装置に導入し、同じ膜種を成膜してもよい。その結果、マスク層12のピンホールを低減することができる。

【0126】

以上のようにして、開口部120およびマスク部121を有するマスク層12が配されたテンプレート基板10を準備する(テンプレート基板を準備する工程)。次いで、本実

10

20

30

40

50

施形態における半導体基板 1 の製造方法では、開口部 1 2 0 にて露出したベース基板 1 1 上からマスク部 1 2 1 上にわたって、G a N または G a N 系半導体を含む G a N 系半導体層 2 0 を形成する（半導体層を形成する工程）。

【 0 1 2 7 】

半導体層を形成する工程では、マスク部 1 2 1 上に位置する第 1 部分 S 1 と、開口部 1 2 0 上に位置する第 2 部分 S 2 とを有するように、G a N 系半導体層 2 0 を形成する。例えば、テンプレート基板 1 0 を M O C V D 装置に装入し、G a N 系半導体層 2 0 を成膜する。成膜条件の一例としては、例えば、主基板 1 1 0 に S i 基板、下地層 1 1 1 に A l N 層と $A l_{0.2}Ga_{0.8}N / Al_{0.8}Ga_{0.2}N$ の超格子層構造 4 0 ペア、マスク層 1 2 に S i O x 膜を採用した場合に、基板温度：1 1 2 0、成長圧力：5 0 k P a、

10

【 0 1 2 8 】

具体的には、半導体層を形成する工程では、先ず、マスク層 1 2 の開口部 1 2 0 の部分にイニシャル成長層（シード成長層）を形成し、その後、イニシャル成長層から G a N 系半導体層 2 0 を横方向成長させることが望ましい。このイニシャル成長層は、G a N 系半導体層 2 0 をマスク部 1 2 1 上に横方向成長させる際に、起点（シード）となる成長層である。このイニシャル成長層の端は、マスク部 1 2 1 の上面に乗りあがる直前（マスク部 1 2 1 のテーパ形状を有する部分（側面）の途中）、または乗りあがった直後にイニシャル成長層の成膜を止めることが好ましい。その結果、G a N 系半導体層 2 0 を横方向に成長させる際に、高速で成長させることができる。イニシャル成長層は、例えば、2 . 0 μ m 以上 3 . 0 μ m 以下の高さになるように形成すればよい。

20

【 0 1 2 9 】

上記のようにイニシャル成長層を成膜した後に G a N 系半導体層 2 0 を横方向成長させることで、第 1 部分 S 1 の内部の非貫通転位 D 2 を多くする（表面における貫通転位 D 1 の転位密度を低減する）ことができる。また、第 1 部分 S 1 の内部における不純物濃度の分布を制御する（第 3 部分 S 3 ~ 第 5 部分 S 5 を形成する）ことができる。なお、成膜中の条件を適宜制御することによって、G a N 系半導体層 2 0 を Z 軸方向に成長させたり、X 軸方向に成長させたりする制御ができる。

【 0 1 3 0 】

以上により、テンプレート基板 1 0 上に G a N 系半導体層 2 0 が形成された半導体基板 1 が得られる。

30

【 0 1 3 1 】

具体的な一例の G a N 系半導体層 2 0 では、横幅 L 2 0（図 3 に図示）は 5 3 μ m である。開口幅 W 1 が 5 μ m である場合、デバイス形成可能な第 1 部分 S 1 の有効幅（長さ L 1 2）は 2 4 μ m となる。また、G a N 系半導体層 2 0 の厚み方向における、マスク部 1 2 1 の表面から G a N 系半導体層 2 0 の表面までの厚みは 6 μ m であった。また、G a N 系半導体層 2 0 におけるアスペクト比は、2 4 μ m / 6 μ m = 4 . 0 と高くなっている。

【 0 1 3 2 】

なお、E L O 法では、G a 原子の拡散長を伸ばすことによって速い横方向成膜速度を実現することができる。本実施形態における半導体基板 1 の製造方法では、半導体層を形成する工程における成膜温度は 9 0 0 以上 1 1 8 0 以下であればよい。半導体層を形成する工程における成膜温度は 1 0 0 0 以下の比較的低温であってもよい。

40

【 0 1 3 3 】

半導体層を形成する工程における成膜温度を 1 0 0 0 以下の比較的低温とする場合、G a 原料ガスとしてトリエチルガリウム（T E G）を用いてもよい。T E G は、低温において有機原料が効率よく分解する。そのため、E L O 法による G a N 系半導体層 2 0 の速い横方向成膜を実現することができる。

【 0 1 3 4 】

50

また、例えば、GaN系半導体層20をInGaNで形成する場合、InをGaNに添加してInGaN層のGaN系半導体層20を形成するが、この場合にも、低温での成膜を行うことが重要である。

【0135】

(その他の構成)

半導体基板1において、GaN系半導体層20は、第3部分S3にX軸方向の不純物濃度の分布があってもよい。半導体基板1において、第3部分S3は、平面視で開口部120に隣接する内側部と、平面視において前記内側部よりも開口部120から遠く、前記内側部よりも不純物濃度が低い外側部とを含んでいてもよい。より詳しくは、第3部分S3の上記外側部は、上記m面断面において、GaN系半導体層20の端面に近い方(開口部120から遠い方)に位置している。第3部分S3の上記内側部は、開口部120に近い方に位置して、開口部120に隣接している。上記外側部は、上記内側部よりも不純物濃度が低くなっていてもよい。第3部分S3の不純物濃度の分布は、SIMSによって第3部分S3をX軸方向に分析して測定することができる。第3部分S3の不純物濃度は、例えば、GaN系半導体層20にn型ドーパントとしてSiを含める場合、GaN系半導体層20の成膜時に、Siの供給量を制御することによって、第3部分S3に不純物濃度の分布をもたらすことができる。

10

【0136】

第3部分S3では、上記外側部の方(開口部120から遠い方)が比較的低い不純物濃度となっている。そのため、第1部分S1の表面において電子部品形成領域AR10を設定する位置を選択することによって、当該電子部品形成領域AR10の反対側のGaN系半導体層20の表面における不純物濃度を変化させることもできる。

20

【0137】

なお、第4部分S4、第5部分S5においても、X軸方向の不純物濃度の分布があってもよい。この場合は、第4部分S4は、上記m面断面において、GaN系半導体層20の端面に近い方(開口部120から遠い方;外側部)が、開口部120に近い方(内側部)よりも不純物濃度が低くなっていてもよい。また、第5部分S5は、上記m面断面において、GaN系半導体層20の端面に近い方(開口部120から遠い方;外側部)が、開口部120に近い方(内側部)よりも不純物濃度が低くなっていてもよい。

【0138】

[実施形態2]

本開示の他の実施形態について、以下に説明する。なお、説明の便宜上、上記実施形態にて説明した部材と同じ機能を有する部材については、同じ符号を付記し、その説明を繰り返さない。以降の実施形態においても同様である。

30

【0139】

本実施形態では、実施形態1に記載の半導体基板1を用いて製造される半導体デバイスについて、図面を参照して説明する。

【0140】

図4は、本開示の一例におけるデバイス積層構造30を形成した半導体基板1について説明するための断面図である。図5は、デバイス積層構造30について説明するための断面図であり、図4の一部を拡大した図である。

40

【0141】

図4および図5に示すように、半導体基板1を用いてデバイスを作製する場合、半導体基板1上にデバイス積層構造30を成膜する。デバイス積層構造30は、GaN系半導体層20と、活性層31と、電子ブロッキング層32と、p型GaN系半導体層33と、を有している。

【0142】

(デバイス積層構造がLEDの場合)

一例として、半導体基板1の第1部分S1の表面上に形成されるデバイス積層構造30がLEDの場合について以下に説明する。この場合、活性層31は、例えば、5~6周期

50

の構造を持つMQW (Multi-Quantum Well: InGa_nN / GaN) である。活性層31におけるIn組成は目的とする発光波長で異なってよく、例えば、青色(波長450nm付近)であれば15~20%程度のIn濃度、緑色(波長530nm付近)であれば30%程度のIn濃度に適宜設定される。

【0143】

電子ブロッキング層32は、例えばAlGa_nN層であり、当該AlGa_nN層は、一般的には15~25%程度のAl組成であり、厚みが5~25nmである。p型GaN系半導体層33は、例えばGaN層であり、当該GaN層は、例えば厚みが0.1~0.3μmである。

【0144】

図示を省略するが、デバイス積層構造30は、p型GaN系半導体層33の表面に10nm程度のP⁺⁺層(Mgドーパントのハイドロ層)を形成してもよい。GaN系半導体層20およびデバイス積層構造30は、MOCVD装置から取り出さずに連続して成膜してもよい。また、半導体基板1の表面を研磨し平坦化するために、GaN系半導体層20を成膜後、MOCVD装置または各種成膜装置から半導体基板1を取り出し、その後、GaN系半導体層20の表面を研磨またはCMP (Chemical mechanical polish) などにより平坦化してから、再度、半導体基板1を上記成膜装置の中に入れて、デバイス積層構造30を成膜してもよい。

【0145】

各種成膜装置としては、スパッタ装置、リモートプラズマCVD装置(RPCVD)、PSD (Pulse Sputter Deposition) 装置などが挙げられる。リモートプラズマCVD装置およびPSD装置などは、低温成膜が可能であるとともに水素をキャリアガスとして用いないため、低抵抗のp型GaN系半導体層33を得ることができるため好ましい。

【0146】

なお、半導体基板1の表面を研磨またはCMPする前後で、使用する成膜装置の種類を変更してもよい。

【0147】

GaN系半導体層20を成膜した後、成膜装置から取り出して研磨などを行った場合、GaN系半導体層20と活性層31との間に、n型GaN系半導体層を挿入してもよい。n型GaN系半導体層の厚みは0.2~4μm程度が適切である。

【0148】

本開示の一態様における半導体基板1を用いて、面発光デバイスを作製することも可能である。面発光レーザーデバイスを作製する場合、基本的なデバイス積層構造30はLEDと類似しており、後述するデバイスプロセスが多少異なる。

【0149】

(デバイス積層構造がレーザーダイオードの場合)

他の一例として、半導体基板1の第1部分S1の表面上に形成されるデバイス積層構造がレーザーダイオード(LD:Laser Diode)である場合について以下に説明する。本例のデバイス積層構造は、先述したLEDの場合と類似しているとともに一般的なLDの構造であってよいことから、図示をして詳細に説明することは省略する。概略的には、LDの場合におけるデバイス積層構造は、活性層31の上下に、p型およびn型の光ガイド層が追加される。この光ガイド層は、厚みが50nm程度、In組成3~10%程度のInGa_nN層である。

【0150】

また、LDの場合におけるデバイス積層構造は、p型の光ガイド層、活性層31、およびn型の光ガイド層を挟むように、上記p型の光ガイド層の外側にp型の光クラッド層が追加され、上記n型の光ガイド層の外側にn型の光クラッド層が追加される。上記光クラッド層としては、GaN系半導体層、AlGa_nN系半導体層、またはAlInGa_nN系半導体層が選ばれてよい。上記p型の光クラッド層は、厚みが0.4~1.0μmであってよい。また、上記n型の光クラッド層は、厚みが0.8~2.0μmであってよい。

10

20

30

40

50

【0151】

LDの場合におけるデバイス積層構造の各部は、作製したいデバイスの目的、用途によって適宜最適化してよい。

【0152】

本開示の一態様における半導体基板1を用いて、一般的なレシピ（成膜条件：例えばMOCVDの成膜レシピ）を使用してデバイス積層構造30を製造することができる。そのため、新たに成膜条件の最適化を行う必要がない。もちろん、本開示の一態様における半導体基板1を用いて、成膜条件の最適化を行ってもよい。

【0153】

なお、上記の例に限定されず、GaN系半導体層20上には、様々なデバイス積層構造30を成膜することが可能である。

10

【0154】

（デバイス積層構造へのデバイスプロセス）

次に、半導体基板1上に形成されたデバイス積層構造30に対してデバイスプロセスを行う工程について説明する。半導体基板1を用いてデバイスを形成する場合、一般的なデバイスプロセスを適用できることがメリットとなる。

【0155】

図6は、LEDを製造するデバイスプロセスの一例について説明するための図である。以下では、説明の便宜上、半導体基板1にデバイス積層構造30を成膜し、デバイス積層構造30の表面に電極を形成した後の状態の部材を、第1の中間デバイス50と称する。

20

【0156】

図6Aに示すように、第1の中間デバイス50は、デバイス積層構造30の表面にp型電極部17およびn型電極部18を有している。p型電極部17は、p型のコンタクト電極およびパッド電極を含む。n型電極部18は、n型のコンタクト電極およびパッド電極を含む。本例における第1の中間デバイス50は、片面2電極構造（p型電極部17およびn型電極部18の二つが片側の面に形成される構造）である。

【0157】

n型電極部18が形成される領域は、事前にフォトリソプロセスおよびドライエッチングプロセスによってn型GaN系半導体層が露出しており、その表面にn型電極部18が形成されている。一例では、n型電極部18は、n型のコンタクト電極としてTi/Al電極、パッド電極としてMo/Auなどが用いられ、メッキ法などによって形成される。

30

【0158】

p型電極部17は、p型GaN系半導体層33上に形成される。一例では、p型のコンタクト電極としてAg/Ni電極などが用いられている。p型電極部17におけるAg電極は、p型半導体層に接しており、活性層からの光を裏面に反射するための反射層の役目を果たす。p型電極部17における電極パッドとしては、W/Auなどが用いられる。p型電極部17は、メッキ法などによって形成される。

【0159】

上記のように、n型コンタクト電極は、ドライエッチングされて、p型コンタクト電極よりも低い位置に形成される。そのため、n型コンタクト電極上に形成されるパッド電極は、厚く形成され、n型電極のパッド表面の高さと、p型電極のパッド表面の高さとを同じにしておくことが好ましい。これにより、その後のキャリア基板へのボンディングの際の接合が非常に容易であり、キャリア基板へのボンディングを行う工程における歩留まりを高くできる。

40

【0160】

（剥離プロセス）

上記のように、半導体基板1上にデバイス積層構造30を成膜し、さらに、デバイス積層構造30に対してデバイスプロセスを行った時点で、第1の中間デバイス50は機能する。しかし、GaN系半導体を用いた発光素子では、活性層として機能するGaN系半導体層20から発する光を異種基板（例えばシリコン基板）が吸収してしまうため、異種基

50

板からデバイスのチップを剥離することが好ましい。

【0161】

剥離方法は複数考えられるが、ここでは、剥離プロセスの一例として、気相エッチング法を用いて剥離する方法について図6Bおよび図6Cを用いて説明する。

【0162】

本開示の一態様における半導体基板1では、GaN系半導体層20とベース基板11とは、開口部120において化学結合している。そのため、GaN系半導体層20における平面視において開口部120と重なる部分と、GaN系半導体層GaN系半導体層20とベース基板11(下地層111)との結合部を気相エッチングにより除去する。これにより、GaN系半導体層20およびデバイス積層構造30を容易にテンプレート基板10から剥離することができる。

10

【0163】

図6Bは、図6Aに示す第1の中間デバイス50についてエッチング処理を行った後の第2の中間デバイス51の様子を模式的に示す断面図である。

【0164】

図6Bに示すように、開口部120の上方におけるGaN系半導体層20およびデバイス積層構造30の部分を気相エッチングにより掘り込む。このとき、少なくともマスク部121の一部が露出するように、開口部120上のGaN系半導体層20をエッチングする。つまり、エッチング深さとしては、GaN系半導体層20の厚みより深くエッチングすることが好ましい。また、開口部の幅W1よりもエッチング領域の上部の開口幅Jが広くなる($W1 < J$)ように掘り込むことが好ましい。これにより、開口部120におけるGaN系半導体層20とベース基板11との結合部も気相エッチングにより除去される。

20

【0165】

GaN系半導体層20と、デバイス積層構造30と、1つのp型電極部17と、1つのn型電極部18と、を含む一つのユニットを発光素子40と称する。

【0166】

図6Cは、スタンプ55を用いて発光素子40をマスク部121から剥離する様子を示す断面図である。

【0167】

図6Cに示すように、スタンプ55を用いて、発光素子40をマスク部121上から容易に剥離することができる。スタンプ55は、粘弾性エラストマースタンプ、PDMS(Polydimethylsiloxane)スタンプ、または、静電接着スタンプ等であってよい。このように、マスク部121上から発光素子40を直接剥離できることは、工業的に、コストおよびスループット等の面で非常に大きな利点を有する。

30

【0168】

剥離して得られた発光素子40(例えばマイクロLED素子)の表面について、CL法により欠陥状態を測定したところ、発光素子40の発光領域において、暗点および暗線は観測されなかった。

【0169】

(回路基板上への実装)

ベース基板11から分離された発光素子40を電気配線された実装基板へ転写実装する方法について説明する。ここでは、マイクロLEDディスプレイを例に説明する。

40

【0170】

スタンプ等の有する接着力によって、選択的に剥離された発光素子(LED)40は、一旦、別の中間プレート(図示省略)に配置される。発光素子40は、再転写されることにより上下を逆転させて、フリップチップで回路基板上に実装される。図7は、発光素子40をフリップチップにより回路基板201上に実装した構成例を示す断面図である。

【0171】

図7に示すように、反射層202が表面に形成された回路基板201(例えばTF基板)を用いて、回路基板201の上層に、チップを保持するための粘着層203と、p型

50

用配線電極 204 と n 型用配線電極 205 とを配置する。このような回路基板 201 に発光素子 40 をフリップチップ実装する。これにより発光素子 40 と回路基板 201 とを電氣的に接続する。

【0172】

図 8 は、発光素子 40 が回路基板 201 に実装されたマイクロ LED ディスプレイの一部を示した図である。図 8 に示すように、マイクロ LED ディスプレイを作製する場合には、青色 (B)、緑色 (G)、赤色 (R) で発光する LED チップを回路基板 201 に実装する。そのため、RGB それぞれの LED チップを個別の半導体基板 1 に作製する。上述のように RGB それぞれの発光素子 40 を製造し、発光素子 40 を回路基板 201 に実装する。ディスプレイサイズにしたがってこれらの作業を繰り返すことによって、マイクロ LED ディスプレイを作製することができる。

10

【0173】

なお、上記の例では、マイクロ LED 素子およびマイクロ LED ディスプレイを例示して説明したが、半導体基板 1 を用いて、例えば、ファブリペロタイプのリレーおよび面発光レーザ (VCSEL) を作製することもできる。

【0174】

上述のように、半導体基板 1 を用いて、発光素子 40 等の各種電子部品を製造することができる。半導体基板 1 を備える電子部品としては、例えば、LED、レーザ等の光半導体素子が挙げられる。また、そのような電子部品を備える電子機器も本開示の範疇に入る。この電子機器としては、携帯型情報端末、ディスプレイ (テレビ等)、プロジェクタ、

20

【0175】

〔実施形態 3〕

本開示の他の実施形態について、図 9 を参照して以下に説明する。図 9 は、GaN 系半導体層 20 の横方向成長の一例を示す断面図である。

【0176】

本実施形態では、複数の開口部 120 を有するマスク層 12A を用いて GaN 系半導体層 20 を成膜する例について説明するが、これに限定されない。他の実施形態においても同様に GaN 系半導体層 20 が成膜されてよい。

【0177】

マスク層 12 の開口部 120 にて露出する下地層 111 の部分をシード部 112 と称する。GaN 系半導体層 20 は、シード部 112 を起点として、ELO 法によって形成される。

30

【0178】

図 9 に示すように、開口部 120 と重なるシード部 112 上に、イニシャル成長層 SL を形成し、その後、イニシャル成長層 SL から GaN 系半導体層 20 を横方向成長させることが望ましい。イニシャル成長層 SL は、GaN 系半導体層 20 の横方向成長の起点となる。

【0179】

GaN 系半導体層 20 の成膜においては、イニシャル成長層 SL のエッジが、マスク部 121 の上面に乗りあがる直前 (マスク部 121 の側面上端に接している段階)、またはマスク部 121 の上面に乗り上がった直後のタイミングでイニシャル成長層 SL の成膜を止める (すなわち、このタイミングで、ELO 成膜条件を、c 軸方向成膜条件から a 軸方向成膜条件に切り替える) ことが好ましい。こうすれば、イニシャル成長層 SL がマスク部 121 からわずかに突出している状態から横方向成膜を行なうため、GaN 系半導体層 20 の厚み方向への成長に材料が消費されることを低減し、効果的に GaN 系半導体層 20 を高速で横方向成長させることができる。イニシャル成長層 SL は、例えば、2.0 μm 以上 3.0 μm 以下の厚さに形成すればよい。

40

【0180】

図 9 のようにイニシャル成長層 SL を成膜した後に GaN 系半導体層 20 を横方向成長

50

させることで、第1部分S1内部の非貫通転位を多くする（第1部分S1表面における貫通転位密度を低減する）ことができる。また、第1部分S1内部における不純物濃度（例えば、シリコン、酸素）の分布を制御することができる。なお、GaN系半導体層20の成膜中の条件を適宜制御することによって、GaN系半導体層20をZ方向（c軸方向）に成長させたり、X方向（a軸方向）に成長させたりする制御が可能である。

【0181】

図9に示すように、本実施形態における半導体基板1では、GaN系半導体層20の第1部分S1が、平面視において、開口部120とマスク部121の中央125との間に位置している。また、本実施形態における半導体基板1では、GaN系半導体層20は、マスク部121上にエッジ面20eを有している。

10

【0182】

なお、複数のGaN系半導体層20を形成した後に、GaN系半導体層20の表面を研磨またはCMPしてもよい（より詳しくは、後述の実施形態4を参照）。これにより、GaN系半導体層20の表面の平坦性を改善し、GaN系半導体層20の表面における高さの面内分布を改善することができる。その結果、これにより、デバイス積層構造30を形成する際の各層の面内分布が抑制され、歩留まりを効果的に改善できる。なお、GaN系半導体層20の表面を研磨する場合には、開口部120の開口幅W1が0.1μm以上であってもよい。

【0183】

〔実施形態4〕

本開示の他の実施形態について、以下に説明する。

20

【0184】

実施形態1に記載の半導体基板1では、1つの開口部120から成長した単個のGaN系半導体層20を有する半導体基板1について説明した。これに対して、本実施形態では、複数の開口部120を有するマスク層12Aを用いて成膜することにより、複数のGaN系半導体層20が会合して形成されたGaN系半導体層20Aを有する半導体基板1Aについて説明する。

【0185】

図10は、本実施形態における半導体基板1Aについて説明するための図である。

【0186】

図10Aに示すように、まず、ベース基板11上にマスク層12Aを形成することによりテンプレート基板10Aを作製する。マスク層12Aは複数の開口部120を有している。マスク層12Aは、ベース基板11上に形成された、複数のマスク部121、およびマスク部121の間に設けられたスリット形状の複数の開口部120を有している。つまり、マスク層12Aは、複数のマスク部121がストライプ状に設けられていてもよい。

30

【0187】

マスク層12Aは、例えば、1つのマスク部121におけるX軸方向の長さ（すなわちマスク幅L31）が25μm以上200μm以下であってよい。言い換えると、マスク層12Aは、例えば、複数の開口部120のX軸方向におけるピッチが25μm以上200μm以下であってよい。

40

【0188】

マスク層12Aは、開口部120の開口幅W1が0.5μm以上20μm以下であってよく、1μm以上5μm以下であってもよい。マスク層12Aは、例えば、開口幅W1が6~7μmであってよく、3~5μmであってよい。

【0189】

具体的な一例では、マスク部121の幅L31は50μmであり、開口部120の開口幅W1は5μmであるが、これに限定されるものではない。

【0190】

図10Bに示すように、テンプレート基板10A上に、GaN系半導体層20を成膜させる。このとき、複数の開口部120のそれぞれにおいて露出している下地層111の表

50

面（シード部 112；図 9 参照）を起点として、複数の GaN 系半導体層 20 が成長する。複数の GaN 系半導体層 20 のそれぞれが成長することにより、或る開口部 120 から横方向成長した GaN 系半導体層 20 と、当該開口部 120 の隣の開口部 120 から横方向成長した別の GaN 系半導体層 20 とが会合する。これにより、テンプレート基板 10A 上に、マスク層 12A を覆う一体の GaN 系半導体層 20A が形成され、半導体基板 1A が製造される。

【0191】

図 10C に示すように、半導体基板 1A は、隣り合う GaN 系半導体層 20 が互いに会合して形成された GaN 系半導体層 20A を有している。GaN 系半導体層 20A は、第 1 部分 S1 に隣接する会合部 25 を有する。GaN 系半導体層 20A は、マスク部 121 上にエッジ面 20e（図 9 参照）を有さない一体形状であり、平面視でマスク部 121 の中央 125 と重なる空隙（中空部）60 を含む。半導体基板 1A は、GaN 系半導体層 20A における会合部 25 に空隙（Void）60 が形成されるように、成膜条件、マスク幅などを制御して製造されたものである。半導体基板 1A において、第 1 部分 S1 は、平面視における開口部 120 と空隙 60 との間に位置する。

【0192】

空隙 60 は、GaN 系半導体層 20 とマスク部 121 との間において、マスク部 121 の表面上に位置している。空隙 60 の形状は、断面視において三角形に近く、マスク部 121 の表面側に広がる形状となっている。換言すれば、空隙 60 は、マスク部 121 の表面に近づく方向に向けて幅広となる形状である。このような三角形の空隙 60 を会合部 25 に形成することは、GaN 系半導体層 20A の内部応力を大幅に低減する効果がある。空隙 60 は、Y 軸方向に延びており、角錐状であるとも言える。

【0193】

通常、マスク部 121 に用いられる材質（SiO₂ または SiN）の熱膨張係数は GaN 系半導体に比べて小さい。そのため、1000 程度の成膜温度にて GaN 系半導体層 20A を成膜した後、室温に降温する際に、GaN 系半導体層 20A は、マスク部 121 との熱膨張係数の違いからクラックが生じることがある。

【0194】

これに対して、三角形の空隙 60 を形成するように会合させて GaN 系半導体層 20A を形成すると、上記のようなクラックの発生する可能性を効果的に低減することができる。図 10C に示すように、空隙 60 の幅は V1 で表記しており、また空隙 60 の高さは V2 で表記している。また、空隙 60 の頂部から、GaN 系半導体層 20 の表面までの距離は L40 としている。

【0195】

また、図 10C に示すように、半導体基板 1A は、空隙 60 の上方における GaN 系半導体層 20A の表面に、浅いくぼみ（凹部）p を含んでいてもよい。くぼみ p の深さは、10nm 以上 200nm 以下であってよい。くぼみ p は、平面視で、空隙 60 と重なるように位置していてもよく、すなわち、くぼみ p が形成される直下には空隙 60 が存在していてもよい。空隙 60 が GaN 系半導体層 20A の内部応力を緩和していることにより、くぼみ p が形成されると考えられる。そのため、半導体基板 1A は、GaN 系半導体層 20A の表面にくぼみ p が形成されていることが好ましい。

【0196】

空隙 60 の高さ V2 は、1μm 以上あれば、有効に GaN 系半導体層 20A の内部応力を緩和することができるため好ましい。また空隙 60 の幅 V1（断面視において、マスク部 121 上に GaN 系半導体層 20 が形成されていない領域の幅）は、1μm 以上が好ましく、より好ましくは 2μm 以上である。

【0197】

GaN 系半導体層 20A の成膜条件によっては、空隙 60 の高さ V2 は、隣り合う GaN 系半導体層 20 が会合した時の GaN 系半導体層 20 の厚みに対応する。空隙 60 の高さ V2 を 15μm 以下に低くするように、マスク部 121 のマスク幅または成膜条件を調

10

20

30

40

50

整することが好ましい。これは、隣り合うGaN系半導体層20が会合した時のGaN系半導体層20の厚みが15 μ mを超えると、2つのGaN系半導体層20が近づいた際、2つのGaN系半導体層20の間への成膜原料の供給が不足することがあり、この場合、2つのGaN系半導体層20が互いに会合しないことがあるためである。

【0198】

また、マスク部121のマスク幅L31が25 μ mより大きいマスク層12Aが形成されたテンプレート基板10Aを用いた場合、隣り合うGaN系半導体層20が会合した時のGaN系半導体層20の厚みを13 μ m以下とする場合には、更にメリットがある。このことについて以下に説明する。

【0199】

図11は、半導体基板1AにおけるGaN系半導体層20の成膜時の様子について説明するための図である。

【0200】

図11Aに示すように、例えば、隣り合うGaN系半導体層20の厚みが大きくなると、それらのGaN系半導体層20の厚みが互いに異なり得る。これは、マスク層12Aとして幅広のマスクを用いる場合に問題になりやすい。これは、GaN系半導体層20の横方向に成膜する距離が長くなるためである。

【0201】

隣り合うGaN系半導体層20の厚みが互いに異なる場合、高さギャップGが生じることがある。この場合、GaN系半導体層20Aは、隣り合うGaN系半導体層20を会合させると、高さギャップGを埋めるように成膜が進展して形成される。GaN系半導体層20Aは、隣り合うGaN系半導体層20の会合部分(会合部25)に、上述した空隙60と、会合時に発生した欠陥を多く含む欠陥集中部70とが形成される。欠陥集中部70は、図3の第1部分S1に含めないこととする。

【0202】

ここで、高さギャップGが大きければ大きいほど、会合後に成長したGaN系半導体層20Aの会合部25に形成される欠陥集中部70の幅(図11Cに示すW2)が大きくなることが分かった。そして、空隙60の高さV2を13 μ m以下とした場合には、この高さギャップGを小さく制御することができるとともに、欠陥集中部70の幅W2を10 μ m以下に抑えることができることが分かった。欠陥集中部70の幅W2を10 μ m以下に抑えることによれば、デバイスを形成可能な第1部分S1の有効幅fを広くとることができる。その結果、デバイス作製において歩留まりを改善できる。

【0203】

以上のような半導体基板1Aは、前記実施形態1と同様に、デバイスが形成可能な高品位な低転位領域AR1(図1参照)の面積を広く確保できる。その結果、高品質な半導体デバイスを製造可能な半導体基板1Aを提供することができる。

【0204】

(研磨について)

上述のように、高さギャップGが発生すると、GaN系半導体層20Aの表面形態が悪化し得る。また、高さギャップGが大きすぎると、高さギャップGに起因するGaN系半導体層20Aの表面の段差を、その後の活性層などの成膜によって埋めきれない場合もある。

【0205】

そのため、GaN系半導体層20Aの表面を研磨またはCMPしてもよい。これにより、GaN系半導体層20Aの表面の平坦性を改善し、GaN系半導体層20Aの表面における高さの面内分布を改善することができる。

【0206】

また、高さギャップGが存在した状態でGaN系半導体層20が会合した場合、欠陥集中部70の幅W2は、空隙60の頂部からGaN系半導体層20Aの表面までの厚み(距離L40、図10C参照)と相関がある。GaN系半導体層20の会合直後から、欠陥集

10

20

30

40

50

中部70の幅W2は拡大していく。そのため、上記距離L40は、12 μ m以下であってもよいし、6 μ m以下でもよい。研磨またはCMPすることによれば、上記距離L40を小さくできる。

【0207】

GaN系半導体層20Aを研磨する場合、研磨する厚みMは、 $M > h$ （半導体基板1Aにおける厚みの最も薄いGaN系半導体層20と、厚みの最も厚いGaN系半導体層20との厚みの差をhと定義する）であることが好ましい。また、プロセス尤度を確保する観点から、 $M > (h + 0.2) \mu\text{m}$ であることが好ましい。これにより、表面高さが均一な半導体基板1Aを得ることができる。

【0208】

GaN系半導体層20Aの研磨は、例えば、ラッピング研磨やパフ研磨であればよい。この場合、研磨剤は、例えば、コロイダルシリカまたは酸化材、あるいはこれらの混合物を含んでいてもよい。例えば、研磨剤にコロイダルシリカと酸化材との混合物を使用した場合、GaN系半導体層20Aの表面層（表層）のごくわずか数を酸化、変質層を形成し、砥粒の機械的作用で除去することができ、研磨時間を短縮することができる。

【0209】

また、研磨により、GaN系半導体層20Aの表面を削ったり、溶解したりすることによって、GaN系半導体層20Aの表面を平坦化してもよい。

【0210】

また、研磨技術としては、CARE（Catalyst Surface Referred Etching）法と呼ばれる研磨方法を使用してもよい。CARE法を採用する場合、2つ工程によってGaN系半導体の表面を平坦化することができる。

【0211】

この場合、まず、光電気化学反応を利用して、GaN系半導体層20Aの表面を研磨する。具体的には、例えば、表面にSiO₂を蒸着した触媒パッド、研磨中に紫外光源（Hg-Xe光源：GaNのバンドギャップより短い波長の光）を透過可能な石英製の研磨テーブルを使用して、上記紫外光を照射しながらGaN系半導体層20Aを研磨する。GaN系半導体20Aのバンドギャップより短い波長の光照射により、スラリー中に含まれるH₂OやO₂の酸化種によりGaN系半導体層20Aの表面の酸化を促進する。すなわち、例えば、表面にGa₂O₃等が形成され、研磨液が酸性や塩基性であるとGa₂O₃がイオン化して溶解してしまう。これにより、徐々にGaN系半導体表面を研磨し平坦化していく。なお、この工程では、GaN系半導体層20Aが正電位になる様に2.5Vの電圧を印可してもよい。

【0212】

次いで、貴金属触媒による酸化作用を利用して、GaN系半導体層20Aの表面を研磨する。具体的には、例えば、表面にPt膜が成膜された触媒パッドを使用してGaN系半導体層20Aの研磨を行なう。その結果、GaN系半導体層20Aの表面からPtに電子の移動が起こり、GaN系半導体層20Aの表面の価電子帯に正孔が生成され、この正孔と水分子が反応することで、GaN系半導体層20Aの表面が酸化される。そして、この表面酸化膜がイオン化して除去されることで、GaN系半導体層20Aの表面を研磨することができる。

【0213】

〔実施形態5〕

本開示の実施形態5における半導体基板では、主基板110にシリコン基板を用いて、GaN系半導体層20としてInGaN層を形成した。その結果、実施形態5における半導体基板は、疑似InGaN基板として用いることができる。すなわち、実施形態5における半導体基板のGaN系半導体層20を疑似基板として用いて、デバイス積層構造を形成することができる。なお、InGaN層のIn濃度は、例えば3～5%であればよい。

【0214】

GaN系半導体層20が会合していない場合、主基板110（異種基板）の影響は開口

10

20

30

40

50

部120上のGaN系半導体層20にしか伝わらない。そのため、あたかもInGaN基板上に成膜するかのようにデバイス積層構造を形成することができる。その結果、長波長発光素子が有する高組成In(In組成25%以上の領域)では、半導体基板からの応力が低減する。したがって、欠陥の発生を低減して、高品質な活性層をGaN系半導体層20上に形成することができる。

【0215】

上記の構成を有する場合、InGaN層をGaN系半導体層20とする本実施形態の半導体基板を用いて、緑色(530nm)半導体レーザ、赤色LED(610-630nm)を高効率に作製することができる。

【0216】

本実施形態の半導体基板において、GaN系半導体層20は、会合していてもよく、会合していなくてもよい。

【0217】

(製造方法および製造装置)

以上に説明したような本開示の一実施形態における半導体基板を製造する方法およびその製造装置について、図12および図13を用いて以下に説明する。

【0218】

図12に示すように、本開示の一実施形態における半導体基板1・1Aの製造方法は、テンプレート基板10・10Aを準備する工程ST1と、GaN系半導体層20・20A形成する工程ST2と、を含んでよい。

【0219】

上記工程ST1では、ベース基板11と、ベース基板11よりも上層に位置するとともに、開口部120およびマスク部121を有するマスク層12・12Aとを含むテンプレート基板10・10Aを準備する。

【0220】

上記工程ST2では、マスク部121上に位置する第1部分S1と、開口部120上に位置する第2部分S2とを、第2部分S2を厚み方向に切断した断面における非貫通転位D2の転位密度が、第1部分S1を厚み方向に切断した断面における非貫通転位D2の転位密度よりも小さくなるように、形成する。

【0221】

半導体基板1・1Aは、例えば図13に記載の半導体基板の製造装置80で作製することができる。半導体基板の製造装置80は、少なくとも、半導体層形成部85と、制御部87とを含む。

【0222】

半導体層形成部85は、テンプレート基板10・10A上に、第1部分S1と第2部分S2とを、第2部分S2を厚み方向に切断した断面における非貫通転位D2の転位密度が、第1部分S1を厚み方向に切断した断面における非貫通転位D2の転位密度よりも小さくなるように、形成する。制御部87は、半導体層形成部85を制御する。

【0223】

半導体層形成部85はMOCVD装置を含んでいてもよく、制御部87がプロセッサおよびメモリを含んでいてもよい。制御部87は、例えば、内蔵メモリ、接続可能な通信装置、または接続可能なネットワーク上に格納されたプログラムを実行することで半導体層形成部85を制御する構成でもよく、このプログラムも本実施形態に含まれる。半導体基板の製造装置80は、主基板110上に下地層111およびマスク層12を形成する工程を行うテンプレート基板形成部、GaN系半導体層20上にデバイス積層構造30を形成する工程を行う積層構造形成部等を含んでいてもよい。さらに、素子剥離の工程を行う半導体デバイス製造装置を構成することもできる。半導体デバイス製造装置は素子分離の工程を行ってもよい。半導体デバイス製造装置が半導体基板の製造装置80を含んでいてもよい。

【0224】

〔附記事項〕

以上、本開示に係る発明について、諸図面および実施例に基づいて説明してきた。しかし、本開示に係る発明は上述した各実施形態に限定されるものではない。すなわち、本開示に係る発明は本開示で示した範囲で種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせ得られる実施形態についても本開示に係る発明の技術的範囲に含まれる。つまり、当業者であれば本開示に基づき種々の変形または修正を行うことが容易であることに注意されたい。また、これらの変形または修正は本開示の範囲に含まれることに留意されたい。

【符号の説明】

【 0 2 2 5 】

- 1、1 A 半導体基板
- 1 0、1 0 A テンプレート基板
- 1 1 ベース基板
- 1 1 0 主基板
- 1 1 1 下地層（半導体膜）
- 1 2 マスク層
- 1 2 0 開口部
- 1 2 1 マスク部
- 2 0 GaN系半導体層（半導体層）
- 4 0 発光素子
- AR 1 0 電子部品形成領域
- S 1 第 1 部分
- S 2 第 2 部分
- S 3 第 3 部分
- S 4 第 4 部分
- S 5 第 5 部分
- S 6 第 6 部分
- S 7 第 7 部分

10

20

【要約】

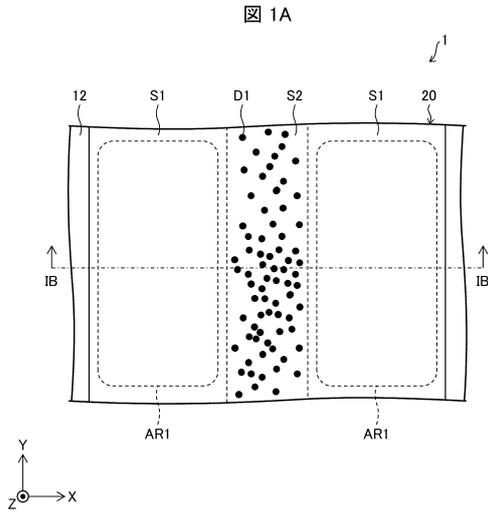
【課題】高品質な半導体デバイスを製造可能な半導体基板を提供する。

30

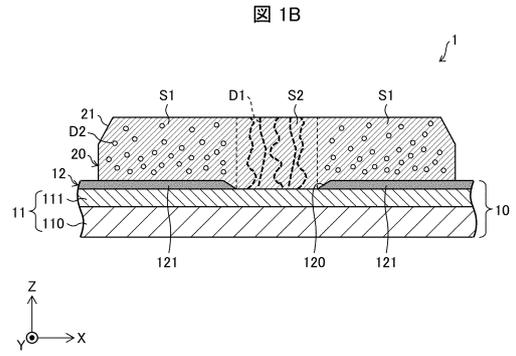
【解決手段】半導体基板（1）は、ベース基板（11）と、開口部（120）およびマスク部（121）を有するマスク層（12）と、GaN系半導体を含むGaN系半導体層（20）とを備えている。GaN系半導体層（20）は、マスク部（121）上に位置している第1部分（S1）と、開口部（120）上に位置しているとともに、GaN系半導体層（20）を厚み方向に切断した断面における非貫通転位の転位密度が第1部分（S1）よりも小さい第2部分（S2）と、を有している。

【選択図】図3

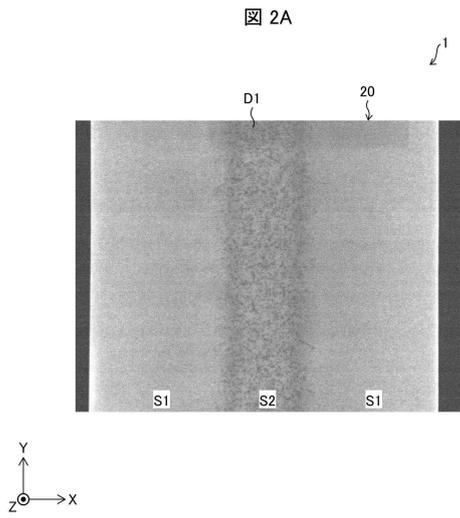
【図 1 A】



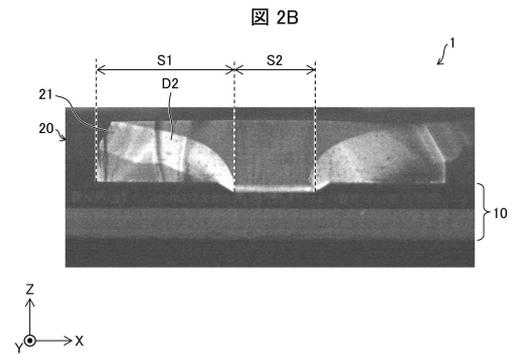
【図 1 B】



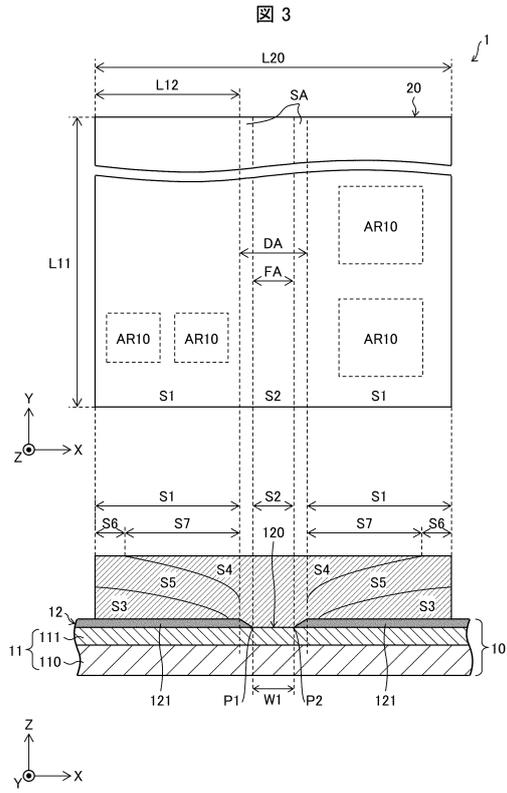
【図 2 A】



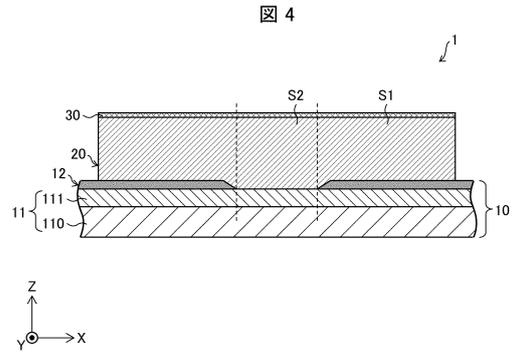
【図 2 B】



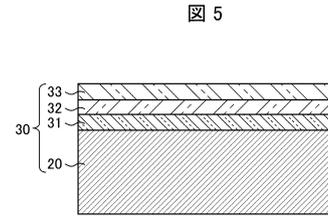
【 図 3 】



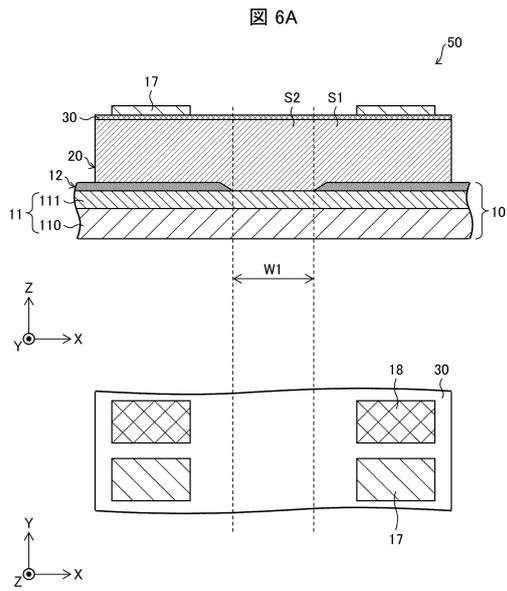
【 図 4 】



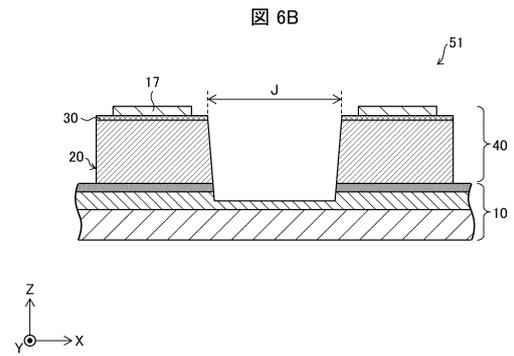
【 図 5 】



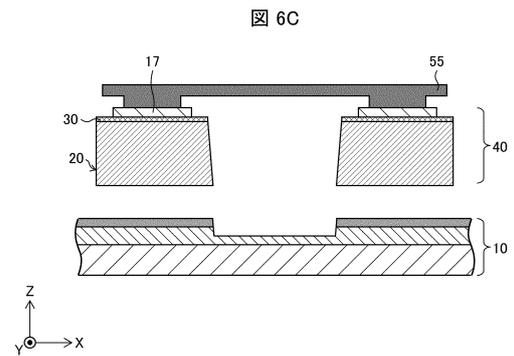
【 図 6 A 】



【 図 6 B 】

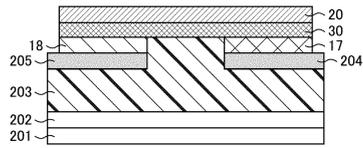


【 図 6 C 】



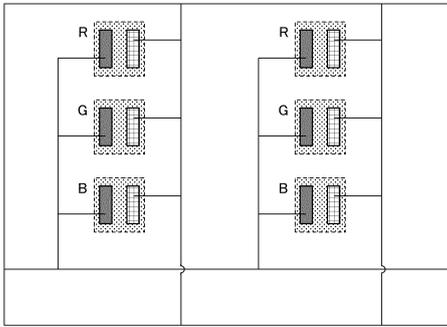
【 図 7 】

図 7



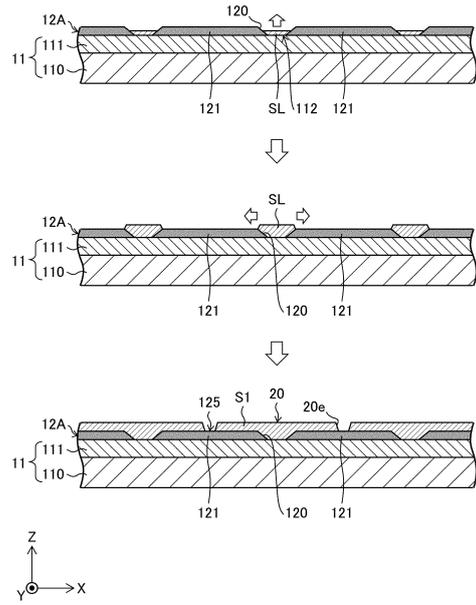
【 図 8 】

図 8



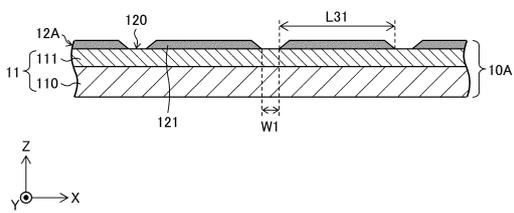
【 図 9 】

図 9



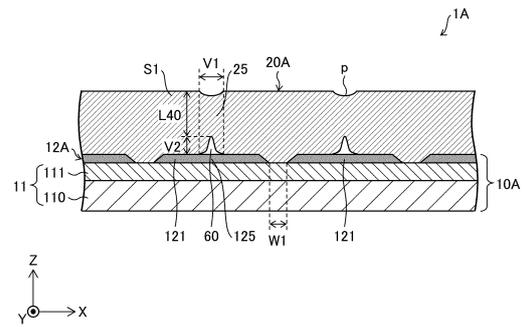
【 図 10 A 】

図 10A



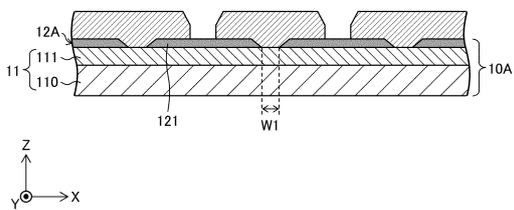
【 図 10 C 】

図 10C



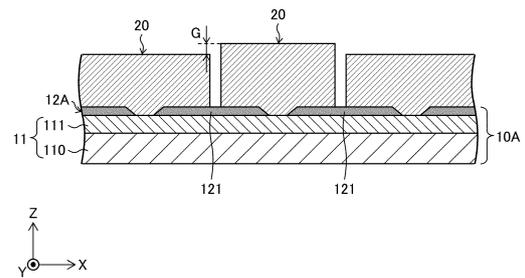
【 図 10 B 】

図 10B

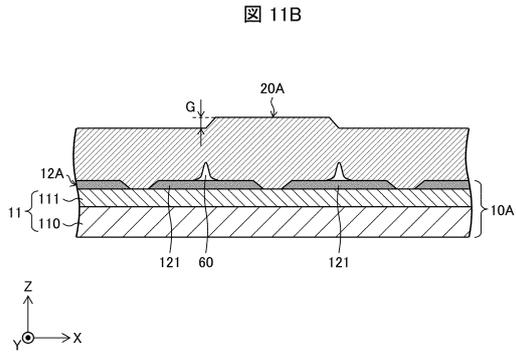


【 図 11 A 】

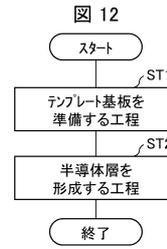
図 11A



【図11B】



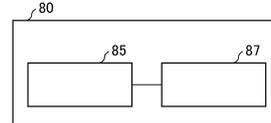
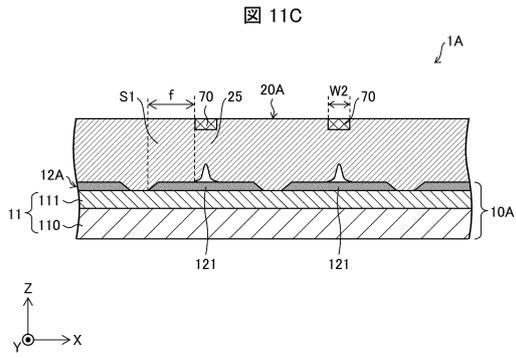
【図12】



【図13】

図 13

【図11C】



フロントページの続き

- (72)発明者 林 雄一郎
京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内
- (72)発明者 小林 敏洋
京都府京都市伏見区竹田鳥羽殿町6番地 京セラ株式会社内

審査官 内藤 康彰

- (56)参考文献 特開2001-230410(JP,A)
特開2000-349338(JP,A)
特開2003-183100(JP,A)
特開2006-066496(JP,A)

- (58)調査した分野(Int.Cl., DB名)
- | | |
|------|--------------|
| C30B | 1/00 - 35/00 |
| H01L | 21/31 |
| H01L | 33/22 |
| H01L | 33/32 |