

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第7267394号
(P7267394)

(45) 発行日 令和5年5月1日(2023.5.1)

(24) 登録日 令和5年4月21日(2023.4.21)

(51) Int. Cl. F I
H 0 1 L 21/02 (2006.01) H 0 1 L 21/02 B

請求項の数 13

(21) 出願番号	特願2021-502652(P2021-502652)	(73) 特許権者	000006633
(86)(22) 出願日	令和2年2月28日(2020.2.28)		京セラ株式会社
(86) 国際出願番号	PCT/JP2020/008399		京都府京都市伏見区竹田鳥羽殿町6番地
(87) 国際公開番号	W02020/175684	(74) 代理人	110000338
(87) 国際公開日	令和2年9月3日(2020.9.3)		弁理士法人 HARAKENZO WORLD PATENT & TRADEMARK
審査請求日	令和3年8月25日(2021.8.25)	(72) 発明者	正木 克明
(31) 優先権主張番号	特願2019-36097(P2019-36097)		京都府京都市伏見区竹田鳥羽殿町6番地
(32) 優先日	平成31年2月28日(2019.2.28)		京セラ株式会社内
(33) 優先権主張国・地域又は機関	日本国(JP)	(72) 発明者	村川 賢太郎
			京都府京都市伏見区竹田鳥羽殿町6番地
			京セラ株式会社内
		審査官	安田 雅彦

最終頁に続く

(54) 【発明の名称】 半導体素子の製造方法および半導体素子体

(57) 【特許請求の範囲】

【請求項1】

下地基板と、前記下地基板から結晶成長した柱状の接続部を含む半導体素子と、前記下地基板と対向する支持基板とを準備する準備工程と、
前記半導体素子の上面を前記支持基板に押圧および加熱して、前記半導体素子の上面と前記支持基板とを接合する接合工程と、
前記半導体素子を前記下地基板から剥離する剥離工程とを含み、
前記接合工程において、前記半導体素子の上面を前記支持基板に対して、前記支持基板の厚さ方向に押圧したときに、前記接続部の端部に応力が集中して前記接続部が破断する、半導体素子の製造方法。

【請求項2】

前記接合工程において、前記接続部が前記下地基板に対して傾斜して前記接続部の端部に応力が集中する、請求項1に記載の半導体素子の製造方法。

【請求項3】

前記接合工程において、前記半導体素子の上面を前記支持基板に対して前記方向に押圧したときに、前記半導体素子に、前記半導体素子を傾ける力が加わる、請求項2に記載の半導体素子の製造方法。

【請求項4】

前記半導体素子は、ELO法により成長させ、隣り合う半導体素子と互いに重なる前に成長を止めて形成される、請求項1または2に記載の半導体素子の製造方法。

【請求項 5】

前記半導体素子は、前記下地基板の成長面に対して傾いた上面を有する、請求項 1～3 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 6】

前記下地基板の前記成長面は、オフ角を有する結晶面である、請求項 5 に記載の半導体素子の製造方法。

【請求項 7】

前記支持基板は、前記半導体素子側に、前記下地基板の成長面に対して傾いている複数の傾斜面を有する、請求項 1～3 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 8】

前記支持基板は、前記下地基板と対向する対向面を有し、前記対向面に段差部が設けられている、請求項 1～3 のいずれか 1 項に記載の半導体素子の製造方法。

【請求項 9】

前記接合工程において、前記半導体素子の前記上面の一部が、前記段差部に接触している、請求項 8 に記載の半導体素子の製造方法。

【請求項 10】

半導体素子層と、前記半導体素子層に接合された支持基板とを備え、前記半導体素子層は、第 1 面と、前記第 1 面に対して反対側に位置し、前記第 1 面に対して傾斜する第 2 面とを有し、前記第 1 面の側が前記支持基板に接合され、前記第 2 面が前記支持基板の表面に対して傾斜している、半導体素子体。

【請求項 11】

半導体素子層と、前記半導体素子層に接合された支持基板とを備え、前記支持基板は、裏面と、表面側に位置して前記裏面に対して傾斜した複数の傾斜面とを有し、前記半導体素子層は、第 1 面と、前記第 1 面に対して反対側に位置する第 2 面とを有し、前記第 1 面の側が前記複数の傾斜面の 1 つに接合されている、半導体素子体。

【請求項 12】

半導体素子層と、前記半導体素子層に接合された支持基板とを備え、前記支持基板は、裏面と、表面側に位置する段差部とを有し、前記半導体素子層は、第 1 面と、前記第 1 面に対して反対側に位置する第 2 面とを有し、前記第 1 面の側が、前記段差部によって前記裏面に対して傾斜するように前記支持基板に接合されている、半導体素子体。

【請求項 13】

前記支持基板には、前記第 1 面が金属を介して接合されている、請求項 11 または 12 に記載の半導体素子体。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、半導体素子の製造方法および半導体素子体に関する。

【背景技術】

【0002】

従来技術の半導体素子の製造方法は、例えば、特許文献 1 に記載されている。

【先行技術文献】

【特許文献】

【0003】

【文献】特許第 4 6 3 8 9 5 8 号公報

【発明の概要】

【0004】

本開示の半導体素子の製造方法は、下地基板上に、該下地基板と接続部を介して接続し、前記下地基板の成長面に対して傾いた上面を有する半導体素子を形成する素子形成工程

10

20

30

40

50

と、前記下地基板と対向させる対向面を有する支持基板を準備する準備工程と、前記半導体素子の上面を前記支持基板の対向面に押圧および加熱して、前記半導体素子の上面と前記支持基板とを接合する接合工程と、前記半導体素子を前記下地基板から剥離する剥離工程と、を含んでいてもよい。

【0005】

本開示の半導体素子の製造方法は、下地基板上に、該下地基板と接続部を介して接続している半導体素子を形成する素子形成工程と、前記下地基板と対向させたとき、該下地基板の成長面に対して傾いている対向面を有する支持基板を準備する準備工程と、前記半導体素子の上面を前記支持基板の対向面に押圧および加熱して、前記半導体素子の上面と前記支持基板とを接合する接合工程と、前記半導体素子を前記下地基板から剥離する剥離工程と、を含んでいてもよい。

10

【0006】

本開示の半導体素子の製造方法は、下地基板上に、該下地基板と接続部を介して接続している半導体素子を形成する素子形成工程と、前記下地基板と対向させる対向面を有し、該対向面に段差部が設けられている支持基板を準備する準備工程と、前記半導体素子の上面と前記支持基板の対向面の段差部とが接触するように、前記半導体素子の上面を前記支持基板の対向面に押圧および加熱して、前記半導体素子の上面と前記支持基板とを接合する接合工程と、前記半導体素子を前記下地基板から剥離する剥離工程と、を含んでいてもよい。

【0007】

20

本開示の半導体素子体は、支持基板と、第1面と該第1面に対して反対側に位置する第2面とを有し、前記第1面の側が前記支持基板に固定されており、前記第2面が前記支持基板の表面に対して傾斜している半導体素子層と、を備えていてもよい。

【0008】

本開示の半導体素子体は、傾斜面を有する支持基板と、第1面と該第1面に対して反対側に位置する第2面とを有し、前記第1面の側が前記支持基板の傾斜面に固定されている半導体素子層と、を備えていてもよい。

【0009】

本開示の半導体素子体は、支持基板と、第1面と、該第1面に対して反対側に位置する第2面とを有し、前記第1面の側が前記支持基板に固定されており、前記第1面および前記第2面のうち少なくとも前記第1面が前記支持基板の表面に対して傾斜している半導体素子と、を備えていてもよい。

30

【発明の効果】

【0010】

本開示の半導体素子の製造方法によれば、半導体素子の歩留まりを上げることができる。

【0011】

本開示の半導体素子体によれば、個々の半導体素子への分離が容易になり、半導体素子の歩留まりを上げることができる。

【図面の簡単な説明】

【0012】

40

【図1】本開示に係る実施形態の半導体素子の製造方法の工程図である。

【図2A】第1実施形態に係る素子形成工程を示す断面図である。

【図2B】第1実施形態に係る素子形成工程を示す断面図である。

【図2C】第1実施形態に係る素子形成工程を示す断面図である。

【図3】下地基板上に形成した半導体素子層の写真である。

【図4】半導体素子層の上面の傾きを示すグラフである。

【図5】第1実施形態に係る準備工程を示す断面図である。

【図6A】第1実施形態に係る接合工程を示す断面図である。

【図6B】第1実施形態に係る接合工程を示す断面図である。

【図7】第1実施形態に係る剥離工程を示す断面図である。

50

【図 8 A】第 2 実施形態に係る素子形成工程を示す断面図である。
 【図 8 B】第 2 実施形態に係る素子形成工程を示す断面図である。
 【図 8 C】第 2 実施形態に係る素子形成工程を示す断面図である。
 【図 9】第 2 実施形態に係る準備工程を示す断面図である。
 【図 10 A】第 2 実施形態に係る接合工程を示す断面図である。
 【図 10 B】第 2 実施形態に係る接合工程を示す断面図である。
 【図 11】第 2 実施形態に係る剥離工程を示す断面図である。
 【図 12】第 3 実施形態に係る準備工程を示す断面図である。
 【図 13 A】第 3 実施形態に係る接合工程を示す断面図である。
 【図 13 B】第 3 実施形態に係る接合工程を示す断面図である。
 【図 14】第 3 実施形態に係る剥離工程を示す断面図である。
 【発明を実施するための形態】

10

【0013】

本発明の目的、特色、および利点は、下記の詳細な説明と図面とからより明確になるであろう。

【0014】

本開示が基礎とする半導体素子およびその製造方法では、サファイアまたは GaN（窒化ガリウム）などの下地基板上に、ストライプ状のスリットを有するマスクを形成する。そして、スリットから露出した基板から、半導体をエピタキシャル成長させ、形成した半導体素子を支持基板に転写する。

20

【0015】

このような本開示が基礎とする技術では、成長させた半導体素子を支持基板に転写する際には、半導体素子を支持基板に接合した後に、下地基板および支持基板の各面に対して垂直方向の力を加えて、下地基板と半導体素子との接続部を破断する。このとき、支持基板と半導体素子との間に力が加わると、半導体素子の電極が剥離することがあり、支持基板への半導体素子の転写が確実になされないなどが生じやすい。これにより、半導体素子の歩留まりが向上しないおそれがある。

【0016】

以下、本開示に係る実施形態について、模式的に示した各図を参照しつつ説明する。図 1 は本開示に係る実施形態の半導体素子の製造方法の基本工程図である。本開示の半導体素子の製造方法は、下地基板上に半導体素子を形成する素子形成工程 S 1 と、支持基板を準備する準備工程 S 2 と、下地基板上の半導体素子を支持基板に接合する接合工程 S 3 と、半導体素子を下地基板から剥離する剥離工程 S 4 とを含む。素子形成工程 S 1 および準備工程 S 2 は、この順に行わなくてもよく、例えば、素子形成工程 S 1 および準備工程 S 2 を並行して行ってもよい。

30

【0017】

(第 1 実施形態)

(1) 素子形成工程 S 1

図 2 A ~ 図 2 C は、第 1 実施形態に係る素子形成工程を示す断面図である。図 2 A に示されるように、まず下地基板 11 を準備する。下地基板 11 としては、例えば、GaN テンプレート基板を使用する。例えば、下地基板 11 はオフ基板であり、下地基板 11 の成長面 11 a (または下地基板 11 の厚み方向に対して垂直な面) の法線方向は、a 軸 ($< 11 - 20 >$) 方向から 0.3° 傾いている。本実施形態では、a 軸に対するオフ角は 0.3° であるが、オフ角が 0.1° から 1° の基板、すなわち下地基板 11 の成長面 11 a は、成長面 11 a の法線に対してオフ角を有する結晶面であるものを用いることが可能である。このような下地基板 11 には、例えば、下地基板の成長面 11 a が所定の面方向になるように GaN 単結晶インゴットから切り出した GaN 基板を使用することが可能である。下地基板 11 としては、窒化物半導体基板であればよい。また、窒化物半導体中に不純物がドーピングされた n 型基板または p 型基板であってもよい。ここでいう「窒化物半導体」は、例えば、 $Al_x Ga_y In_z N$ ($0 \leq x \leq 1$; $0 \leq y \leq 1$; $0 \leq z \leq 1$; $x +$

40

50

$y + z = 1$) によって構成され、以下に示す「窒化物半導体」も同様である。また、Ga Nテンプレート基板としては、例えばサファイア、SiまたはSiCを用いることができる。

【0018】

次に、下地基板11上にマスク12を形成する。まず、下地基板11上にマスクの材料となる酸化シリコン(例えばSiO₂など)をPCVD(Plasma Chemical Vapor Deposition)法などを用いて、成長面11a上にSiO₂層を100nm程度積層する。続いて、フォトリソグラフィ法とバッファードフッ酸(BHF:Buffered Hydrogen Fluoride)によるウェットエッチングによって、SiO₂層をパターンニングして、図2Aに示されるマスク12を形成する。マスク12は、帯状部12aを所定の間隔で複数本平行に並べたストライプ状である。隣り合う帯状部12aの間の開口部12bの幅は、例えば5μm程度である。帯状部12aの幅は、例えば50μm~200μm程度である。また、開口部12bの幅は、例えば2μm~20μm程度である。

10

【0019】

マスク12を形成するためのマスク材料は、SiO₂のほか、気相成長によって、マスク材料から半導体層が成長しない材料であればよい。マスク材料は、例えば、パターンニングが可能なZrO_x、TiO_xまたはAlO_xなどの酸化物、あるいは、WまたはCrなどの遷移金属を使用することもできる。また、マスク層の積層方法は、蒸着法、スパッタリング、または塗布硬化など、マスク材料に適合した方法を適宜用いることが可能である。

【0020】

続いて、図2Bに示されるように、開口部12bから露出している成長面11a上から半導体結晶の結晶成長層である半導体素子層13を気相成長させる。本開示の半導体素子層13は、窒化物半導体層である。

20

【0021】

結晶成長方法は、III族原料に塩化物を用いる塩化物輸送法による気相成長VPE(Vapor Phase Epitaxy)または、III族原料に有機金属を用いるMOCVD(Metal Organic Chemical Vapor Deposition)を用いることが可能である。成長工程中にIII族元素の原料ガスの割合、不純物の原料ガスの割合などを変化させて、半導体素子層13をLEDまたはLDとして機能する多層膜として形成することも可能である。

【0022】

成長した結晶がマスク12の開口部12bを超えると、マスク上面12cに沿って横方向にも結晶が成長する。結晶成長は、成長面11aから成長した半導体素子層13が、隣り合う半導体素子層13と互いに重なる前に終了する。このようにして、窒化物半導体をELO(Epitaxial Lateral Overgrowth)法によって成長させた半導体素子層13を得る。半導体素子層13の幅は、例えば、50μm~200μm程度であり、高さは10μm~50μm程度である。

30

【0023】

図3は、下地基板上に形成した半導体素子層の写真であり、上述の方法でマスク上に形成した半導体素子層を上面から見たものである。図4は、半導体素子層の上面の傾きを示すグラフであり、図3に示される半導体素子層の上面と基準面との距離を測定した測定結果を示すものである。帯状に形成された半導体素子層13の幅Wは、35μmであり、幅方向において、右端側は、左端側よりも高く、両端の高低差は150nmである。半導体素子層13の第1面13a(上面)の傾斜角は、0.25°である。この半導体素子層13の成長に使用された下地基板11のオフ角は0.22°であり、第1面13aの傾斜角は、下地基板11のオフ角に対応したものとなっている。このように、下地基板11にオフ角をつけて半導体素子層13を成長させることは、品質に優れた結晶の半導体素子層13を実現させるうえでよい。半導体素子層13は、第1面13aと第1面13aの反対側に位置している第2面13cとを有している。

40

【0024】

半導体素子層13を成長させた後、図2Bに示されるように、半導体素子層13の第1面

50

13aに金属層14を形成する。まず、下地基板11、マスク12および半導体素子層13の上面全体をレジスト膜で覆う。その後、フォトリソグラフィ法を用いて、半導体素子層13の第1面13aが露出するように、開口部を設ける。その後、開口部において、例えば、Cr層と、金および錫の合金であるAuSn層とを順に蒸着する。その後、リフトオフ法によって、不要な金属層をレジスト膜とともに除去して、金属層14を形成する。この金属層の厚さは1 μ m~5 μ m程度である。

【0025】

金属層14を形成後、下地基板11、下地基板11上に形成したマスク12、半導体素子層13および金属層14をBHFに約10分間程度浸漬し、マスク12を除去する。これにより、図2Cに示されるように、下地基板11上に半導体素子15が形成される。半導体素子15と下地基板11とは、マスク12の開口部12bに成長した半導体素子層13の一部である、例えば、柱状の接続部13bを介して下地基板11に繋がっている。金属層14は、半導体素子15の電極として使用することができる。ただし、半導体素子15の構成によっては、金属層14は必ずしも電極として使用しなくてもよい。半導体素子15の上面15aは、半導体素子層13の第1面13aと同様に傾いている。半導体素子層13は第1面13aとその反対側に位置している第2面13cとを有する。

10

【0026】

(2) 準備工程S2

図5は、第1実施形態に係る準備工程を示す断面図である。続いて、半導体素子15に接続するための支持基板16を準備する。支持基板16は、基体16aとしてシリコン基板を用いる。基体16aの一方の面にAuなどの金属層16bが形成され、金属層16bの表面が下地基板11に対向する対向面16cである。金属層16bによって、半導体素子15の支持基板16への接合が容易になる。

20

【0027】

続いて、基板接合装置(図示せず)を用いて半導体素子15を支持基板16に接続する。まず、下地基板11の成長面11aと、支持基板16の対向面16cとが平行になるように、下地基板11と支持基板16とを基板接合装置に取付ける。

【0028】

(3) 接合工程S3

図6は、第1実施形態に係る接合工程を示す断面図である。続いて、図6(a)に示されるように、支持基板16の対向面16cと半導体素子15の上面15aとを接触させる。上述のように、半導体素子層13の第1面13aは傾斜しているため、その上に形成される金属層14の上面である、半導体素子15の上面15aも傾斜している。

30

【0029】

続いて、図6(b)に示されるように、支持基板16を加圧して、金属層14を支持基板16に密着加圧させた後、例えば、300℃に加熱して、AuSn接合を行う。ただし、この接合はAuSn接合に限定されず、他の材料を用いた各種の接合方法が可能である。このとき、半導体素子15の上面15aの全面が対向面16cに対して当接するように半導体素子15が変位する。これにより、半導体素子層13の接続部13bに大きな応力が発生して接続部13bが破断する。

40

【0030】

(4) 剥離工程S4

図7は、第1実施形態に係る剥離工程を示す断面図である。基板接合装置を冷却後、基板接合装置から下地基板11および支持基板16を取り出す。この際、半導体素子15は、支持基板16上に接合しており、また、接続部13bは破断しているため、下地基板11を容易に剥離することができる。図面では柱状の接続部13bは、半導体素子層13に付着している。接続部13bは破断の状況に応じて、下地基板11側、半導体素子15側またはその両方に残存することが考えられる。このため、剥離後、半導体素子15に残った接続部13bは、研磨などで取り除く。

【0031】

50

上記の方法で接合、剥離した半導体素子体 17 において、支持基板 16 の表面である対向面 16c に対して半導体素子層 13 の第 1 面 13a は平行である。一方、半導体素子層 13 の第 2 面 13c は、半導体素子層 13 の第 1 面 13a の傾斜に対応して、支持基板 16 の表面に対して傾斜している。ここで、半導体素子層 13 の第 1 面 13a は支持基板 16 の表面に対して、例えば 0.5° 未満の傾斜であれば平行であるとみなす。

【0032】

このように、第 1 実施形態の半導体素子体 17 は、支持基板 16 と、第 1 面 13a と第 1 面 13a に対して反対側に位置する第 2 面 13c とを有し、第 1 面 13a の側が支持基板 16 に固定されている。そして、半導体素子体 17 は、第 2 面 13c が支持基板 16 の表面に対して傾斜している半導体素子層 13 を備えている。これにより、簡単な支持構造によって品質に優れた半導体素子層 13 を実現させることができる。

10

【0033】

このように、半導体素子 15 には、下地基板 11 の成長面 11a に対して傾いた上面 15a が形成されているので、接合工程 S3 で加圧したとき、柱状の接続部 13b の端部にせん断応力が集中してせん断される。したがって、超音波などによって、下地基板 11 の表面に垂直方向に別途力を加えなくても、加圧するだけで半導体素子 15 を下地基板 11 から確実に分離することができる。このように、半導体素子 15 に過大な力を加えなくても半導体素子 15 を確実に支持基板 16 に転写できるので、半導体素子 15 の歩留まりを向上させることができる。

【0034】

20

(第 2 実施形態)

(1) 素子形成工程 S1

図 8A ~ 図 8C は、第 2 実施形態に係る素子形成工程を示す断面図である。図 8A に示されるように、まず、下地基板 21 を準備する。下地基板 21 としては、第 1 実施形態と同様に、例えば GaN テンプレート基板を使用する。ただし、下地基板 21 の成長面 21a の結晶面にオフ角はない。第 1 実施形態と同様の工程で、マスク 22 を形成する。マスク 22 の帯状体 22a の開口部 22b を通して成長面 21a が露出している。

【0035】

次に、図 8B に示されるように、第 1 実施形態と同様に、帯状体 22a の開口部 22b から露出している成長面 20a 上から窒化物半導体の結晶成長層である半導体素子層 23 を気相成長させる。その後、半導体素子層 23 の第 1 面 23a に、例えば AuSn 合金などの金属層 24 を形成する。

30

【0036】

続いて、図 8C に示されるように、下地基板 21 上のマスク 22 をエッチングして下地基板 21 上に半導体素子 25 を形成する。半導体素子層 23 の第 1 面 23a および半導体素子 25 の上面 25a は、下地基板 21 の成長面 21a とほぼ平行である。第 2 実施形態においても、第 1 実施形態と同様に、半導体素子層 23 は第 1 面 23a とその反対側に位置している第 2 面 23c とを有する。

【0037】

(2) 準備工程 S2

40

図 9 は、第 2 実施形態に係る準備工程を示す断面図である。次に、半導体素子 25 に接合するための支持基板 26 を準備する。支持基板 26 の基体 26a は、例えばシリコン基板を用いる。シリコン基板は、例えば、面方向が (111) から 0.3° のオフ角を持つオフ基板、すなわち支持基板 26 は、下地基板 21 と対向させる対向面 26c を備えている。支持基板 26 は、対向面 26c は、対向面 26c の法線に対してオフ角を有する結晶面であるオフ基板を用いることができる。このようなオフ基板上にストライプ状のフォトリソ膜を形成し、KOH (水酸化カリウム) 水溶液で異方性エッチングを行うことによって、基体 26a に傾斜面 26d を設ける。さらに、シリコン基板上に金などの金属層 26b を蒸着法などによって形成する。このようにして形成された支持基板 26 は、傾斜した傾斜面 26d を有する対向面 26c を有している。傾斜面 26d の傾斜角度 α はオフ

50

角とほぼ同じである。

【0038】

支持基板26の対向面26cは、下地基板21に対して角度 α だけ傾いている。対向面26cは、下地基板21上に並ぶ半導体素子25の列ごとに形成されている。したがって、下地基板21上に半導体素子25が配設されているピッチと、支持基板26に多数形成されている傾斜面26dのピッチが一致していることが好ましい。続いて、基板接合装置（図示せず）を用いて、半導体素子25を支持基板16に接続する。まず、下地基板21の成長面21aと支持基板26の対向面26cが向かい合うように基板接合装置に取付ける。

【0039】

(3) 接合工程S3

図10Aおよび図10Bは、第2実施形態に係る接合工程を示す断面図である。図10Aに示されるように、支持基板26の対向面26cと半導体素子25の上面25aとを接触させる。支持基板26の対向面26cは、傾斜している。半導体素子25の上面25aは、その一部が対向面26cに接触している。続いて図10Bに示されるように、支持基板26を加圧して、半導体素子25の上面25aを支持基板26の対向面26cに押圧して密着させ、例えば、300℃に加熱して、AuSn接合を行う。このとき、半導体素子25の上面25aの全面が対向面26cに対して当接するように半導体素子25が変位する。これにより、半導体素子層23の接続部23bの端部に大きなせん断応力が発生し、接続部23bが破断する。

【0040】

(4) 剥離工程S4

図11は、第2実施形態に係る剥離工程を示す断面図である。基板接合装置を冷却後、基板接合装置から下地基板21および支持基板26を取り出すと、半導体素子25は、支持基板26の対向面26cに接合しており、また、接続部23bは破断している。下地基板21を容易に剥離することができる。図面では例えば柱状の接続部23bは、半導体素子層23に付着しているが、接続部23bは、研磨などで取り除くことができる。

【0041】

このように、接合工程S3の前において、支持基板26の対向面26cは、下地基板21の成長面21a、あるいは半導体素子25の上面25aに対して傾いている。このため、接合工程S3において、半導体素子25の上面25aを支持基板26の対向面26cに押圧したとき、接続部23bの端部にせん断応力が集中してせん断される。したがって、超音波などの力を加えなくても、基板接合装置で加圧するだけで半導体素子25を下地基板21から確実に分離することができる。このように、半導体素子25に従来よりも小さい力を加えるだけで半導体素子25を確実に支持基板26に転写できる。これにより、半導体素子25の歩留まりを向上させることができる。

【0042】

上記の方法で接合、剥離した半導体素子体27において、支持基板26の対向面26cの一部が傾斜している。

【0043】

このように、第2実施形態の半導体素子体27は、支持基板26と、第1面23aと第1面23aに対して反対側に位置する第2面23cとを有し、第1面23aの側が支持基板26に固定されている。そして、半導体素子体27は、第2面23cが支持基板26の表面に対して傾斜している半導体素子層23を備えている。これにより、支持基板26にも傾斜面を有している。半導体素子体27に対して劈開などがしやすく、個々の半導体素子25に分離する際の作業が容易となる。

【0044】

(第3実施形態)

(1) 素子形成工程S1

第3実施形態において、素子形成工程S1で使用される下地基板、および形成される半導

10

20

30

40

50

体素子は、第2実施形態と同様であるので、説明を省略し、参照符号も同じものを付す。

【0045】

(2) 準備工程S2

図12は第3実施形態に係る準備工程を示す断面図である。半導体素子25に接合するための支持基板36を準備する。支持基板36の基体36aには例えばシリコン基板を用いる。基体36aは、例えば、面方向が(100)のc面基板を用いる。まず、基体36a上に、例えば、Ti(チタン)を下地層とし、その上にAu層を積層した層を形成する。形成した層の上にストライプ状のマスクを作製し、例えばAuSnを蒸着させる。その後マスク上に蒸着させたAu層をマスクとともに除去する蒸着リフトオフ法によって、ストライプ状の凹凸が形成された金属層36bの対向面36cが形成された支持基板36を得る。下地基板21上に半導体素子25が配設されているピッチと、支持基板36のストライプ状凹凸のピッチが一致していることが好ましい。対向面36cの凹部と凸部の境界は段差部36dが形成されている。

10

【0046】

(3) 接合工程S3

基板接合装置(図示せず)を用いて半導体素子25と支持基板36とを接合する。図13Aおよび図13Bは、第3実施形態に係る接合工程を示す断面図である。図13Aに示されるように、支持基板36の対向面36cと半導体素子25の上面25aとを接触させる。支持基板36の対向面36cは、段差部36dを有している。このため、半導体素子25の上面25aは、その一部が対向面36cに接触している。続いて図13Bに示されるように、支持基板36を加圧して、上面25aを支持基板36に押圧して、300℃に加熱して、AuSn接合を行う。このとき、半導体素子25の上面25aに対向面36cの段差部36dが当接し、半導体素子25の上面25aが対向面36cの凹部に近接するように半導体素子25が変位する。これにより、半導体素子層23の接続部23bに大きなせん断応力が発生し、接続部23bが破断する。

20

【0047】

(4) 剥離工程S4

図14は、第3実施形態に係る剥離工程を示す断面図である。基板接合装置を冷却後、基板接合装置から下地基板21および支持基板36を取り出すと、半導体素子25は、支持基板36上に接合しており、また、接続部23bは破断しているため、下地基板21を容易に剥離することができる。このとき、接合工程S3で対向面36cは、平坦になっており、金属層36bと金属層24とが一体になっている。すなわち、支持基板36の表面である対向面36cには、半導体素子層23の第1面23aも金属を介して固定されている。図面では、例えば柱状の接続部23bは、半導体素子層23に付着しているが、接続部23bは、研磨などで取り除くことができる。

30

【0048】

このように、支持基板36の対向面36cは、段差部36dを有している。このため、接合工程S3で半導体素子25の上面25aを対向面36cに押圧したとき、接続部23bの下地基板21側の端部にせん断応力が集中して、接続部23bがせん断される。したがって、超音波などの力を加えなくても、加圧するだけで半導体素子25を下地基板21から確実に分離することができる。このように、半導体素子25に従来よりも小さい力を加えるだけで半導体素子25を確実に支持基板36に転写でき、半導体素子25の歩留まりを向上させることができる。

40

【0049】

上記の方法で接合、剥離した半導体素子体37は、支持基板36の表面である対向面36cに対して、半導体素子層23の第1面23aは段差部36dの構造に応じて傾斜している。

【0050】

このように、第3実施形態の半導体素子体37は、支持基板36と、第1面23aと第1面23aに対して反対側に位置する第2面23cとを有し、第1面23aの側が支持基板

50

26に固定されている。そして、半導体素子体37は、第1面23aおよび第2面23cのうち少なくとも第1面23aが支持基板36の表面に対して傾斜している。これにより、簡単な構造で支持基板26にも傾斜面を有するようにできて、第2実施形態と同様に、半導体素子体37に対して劈開などがしやすく、個々の半導体素子25に分離する際の作業が容易となる。

【0051】

以上、本開示について詳細に説明したが、本開示は上述の実施の形態に限定されるものではなく、本開示の要旨を逸脱しない範囲内において種々の変更、改良等が可能である。したがって、前述の実施形態はあらゆる点で単なる例示に過ぎず、本発明の範囲は請求の範囲に示すものであって、明細書本文には何ら拘束されない。さらに、請求の範囲に属する変形や変更は全て本発明の範囲内のものである。

10

【符号の説明】

【0052】

- S1 素子形成工程
- S2 準備工程
- S3 接合工程
- S4 剥離工程
- 11, 21 下地基板
- 13, 23 半導体素子層
- 13a, 23a 第1面
- 13b, 23b 接続部
- 13c, 23c 第2面
- 14, 24, 16b, 26b, 36b 金属層
- 15, 25 半導体素子
- 15a, 25a 上面
- 16, 26, 36 支持基板
- 16c, 26c, 36c 対向面
- 17, 27, 37 半導体素子体

20

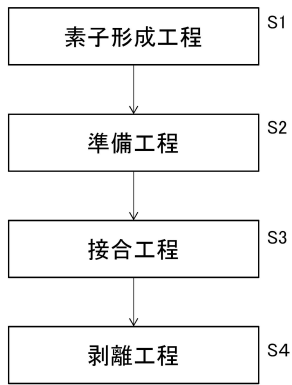
30

40

50

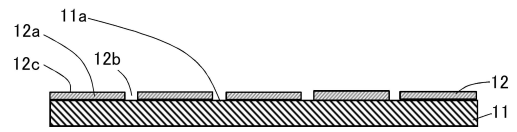
【図 1】

FIG. 1



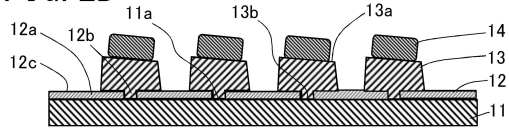
【図 2 A】

FIG. 2A



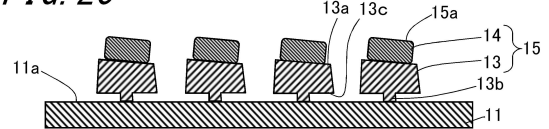
【図 2 B】

FIG. 2B



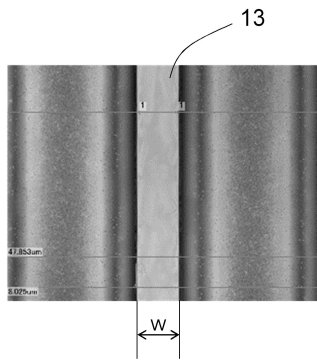
【図 2 C】

FIG. 2C



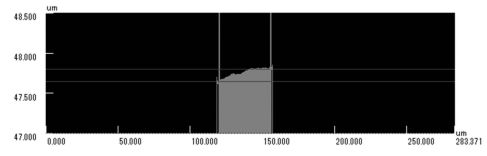
【図 3】

FIG. 3



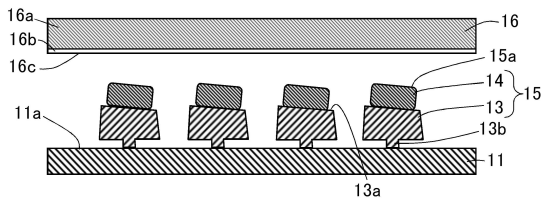
【図 4】

FIG. 4



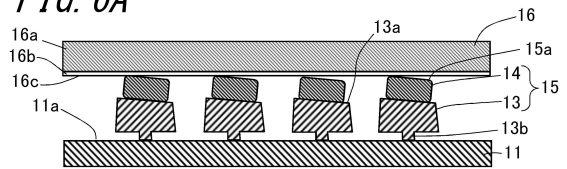
【図 5】

FIG. 5



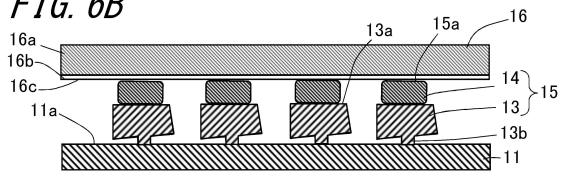
【図 6 A】

FIG. 6A



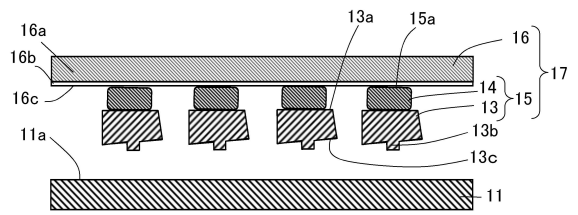
【図 6 B】

FIG. 6B



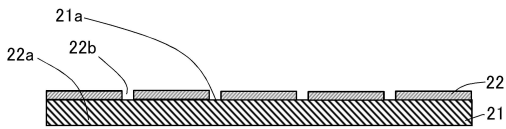
【図 7】

FIG. 7



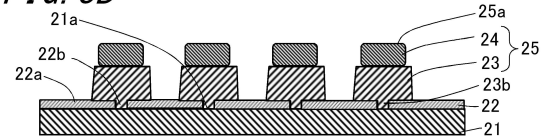
【図 8 A】

FIG. 8A



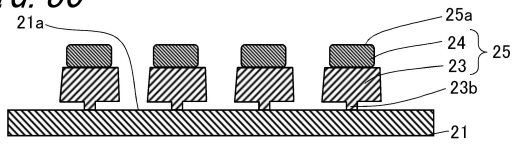
【図 8 B】

FIG. 8B



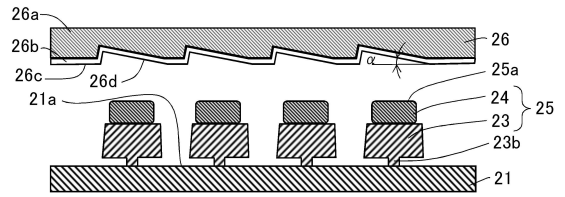
【図 8 C】

FIG. 8C



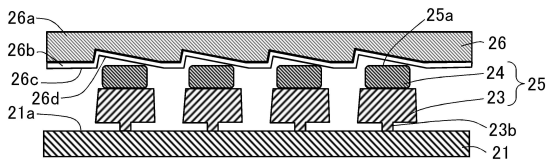
【図 9】

FIG. 9



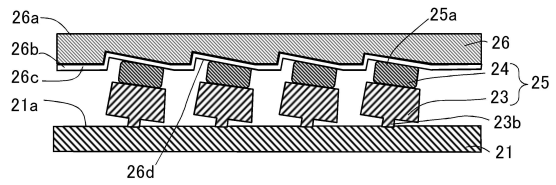
【図 10 A】

FIG. 10A



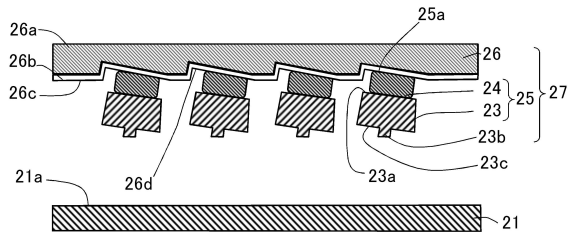
【図 10 B】

FIG. 10B



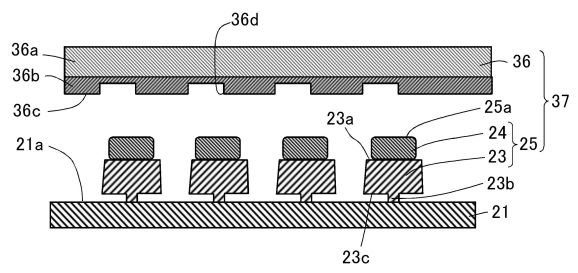
【図 1 1】

FIG. 11



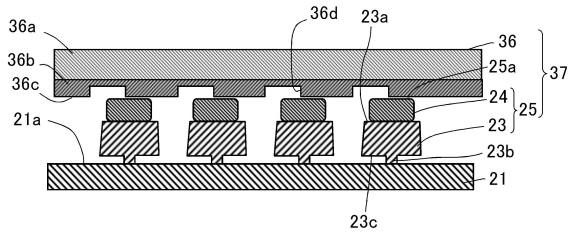
【図 1 2】

FIG. 12



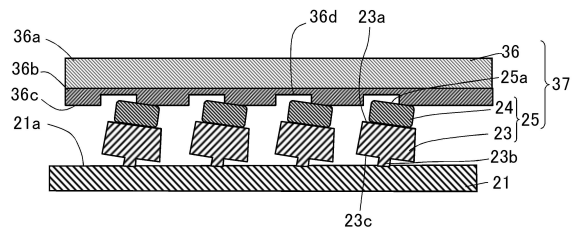
【図 1 3 A】

FIG. 13A



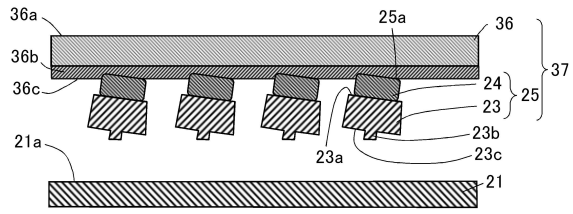
【図 1 3 B】

FIG. 13B



【図 14】

FIG. 14



フロントページの続き

(56)参考文献

特開2011-066390 (JP, A)

特開2007-096114 (JP, A)

(58)調査した分野 (Int.Cl., DB名)

H01L 21/02

H01L 21/20-21/205

H01L 21/67-21/687

H01L 21/78